



---

# 大規模エレクトロニクスシステムにおける 次世代型オペレーションシステムの研究

青木 匠 (東京大学 ICEPP)  
ATLAS 日本トリガーグループ

---

# 本発表の概要

---

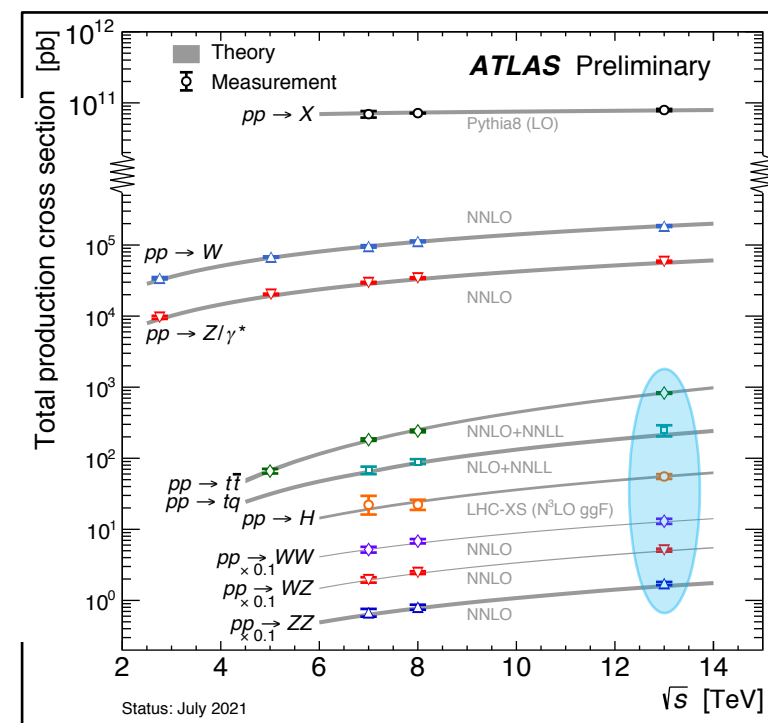
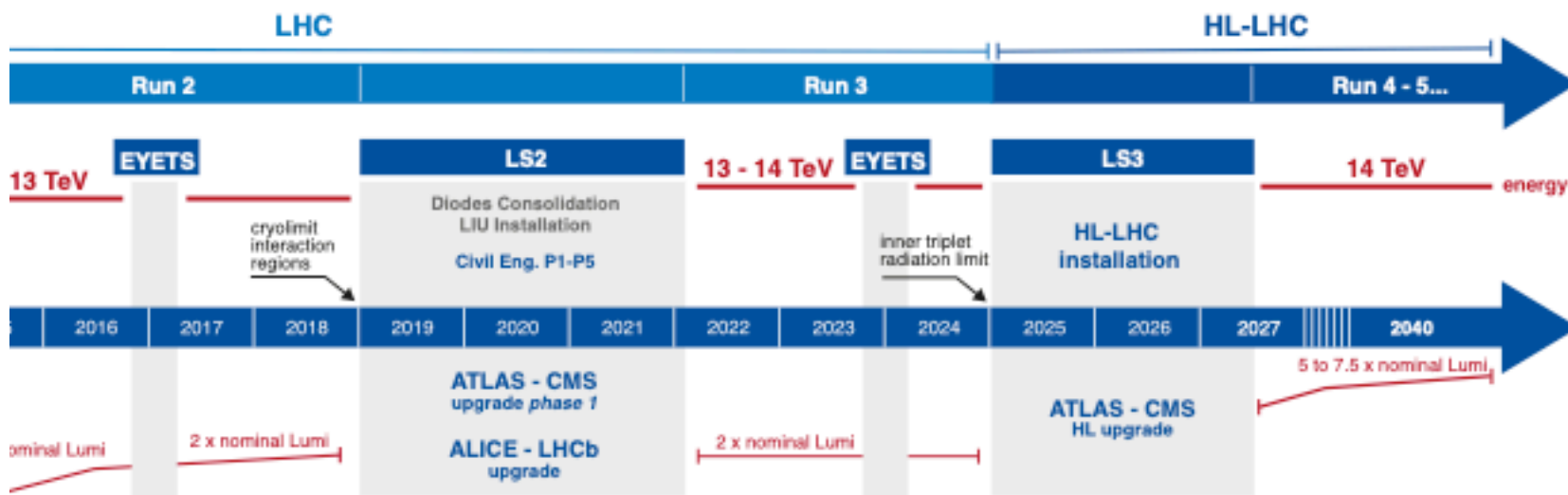
1. 高輝度LHC-ATLAS実験におけるTGC検出器システム
2. TGC検出器エレクトロニクスの統合試験
3. TGC検出器システムへの自律型制御機構の導入

# 1. 高輝度LHC-ATLAS実験における TGC検出器システム

---

# 高輝度LHC-ATLAS実験

- 高い統計量を生かした標準模型の精密測定や新物理探索を目的として2029年から高輝度LHC-ATLAS実験が始まる
- 陽子陽子散乱の全断面積と比べて、興味のある物理事象の生成断面積ははるかに小さい ( $< 10^{-9}$ )  
 ⇒ 興味のある物理事象を選択する **トリガーシステム**が重要
- 初段トリガーはASICやFPGAを用いた、高速なハードウェアベースのトリガーであり、25 ns毎に検出器から送信される飛跡情報を用いて、オンラインでトリガー判定を行う
  - 後段トリガーはソフトウェアを用いてより精密なトリガー判定を行う

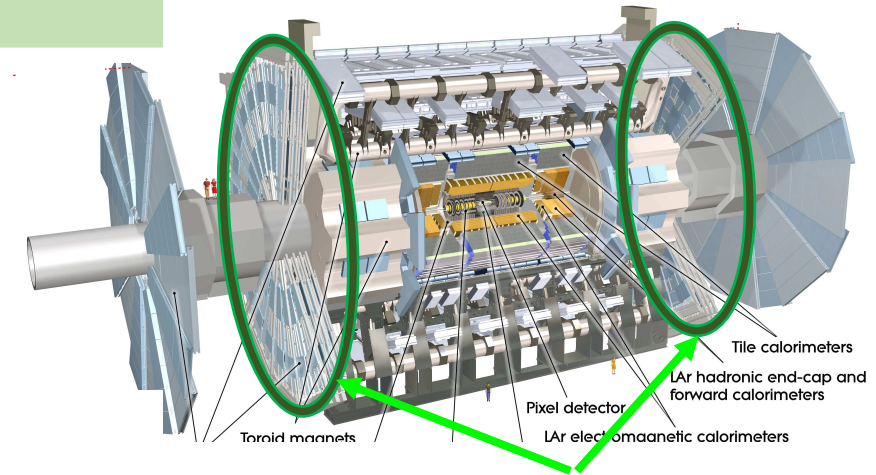


# 高輝度LHC-ATLAS実験における初段トリガー

- 高輝度LHC-ATLAS実験に向けた初段トリガーのアップグレード

	Peak Luminosity ( $\text{cm}^{-2}\text{s}^{-1}$ )	初段トリガーレート (kHz)	データ記録レート (kHz)
LHC (Run3)	$2 \times 10^{34}$	100	1
HL-LHC	$5 - 7.5 \times 10^{34}$	1000	10

- Thin Gap Chamber (TGC) 検出器は、ATLAS 検出器のエンドキャップ領域 ( $1.05 < |\eta| < 2.4$ ) における初段トリガーシステムに $\mu$ 粒子のヒット情報を供給する
- Luminosityの向上に伴う、背景事象及び初段トリガーレートの増加に対応するため、**Thin Gap Chamber (TGC) 検出器の読み出し、トリガーエレクトロニクスが刷新される**



## Thin Gap Chamber (TGC)

- Multi-wire proportional chamber(MWPC)
- 読み出し32万チャンネル
- アノードワイヤで $\eta$ 方向、カソードストリップで $\phi$ 方向のヒット位置を検出する

# TGC検出器システムの刷新

## • 初段トリガーシステムの刷新

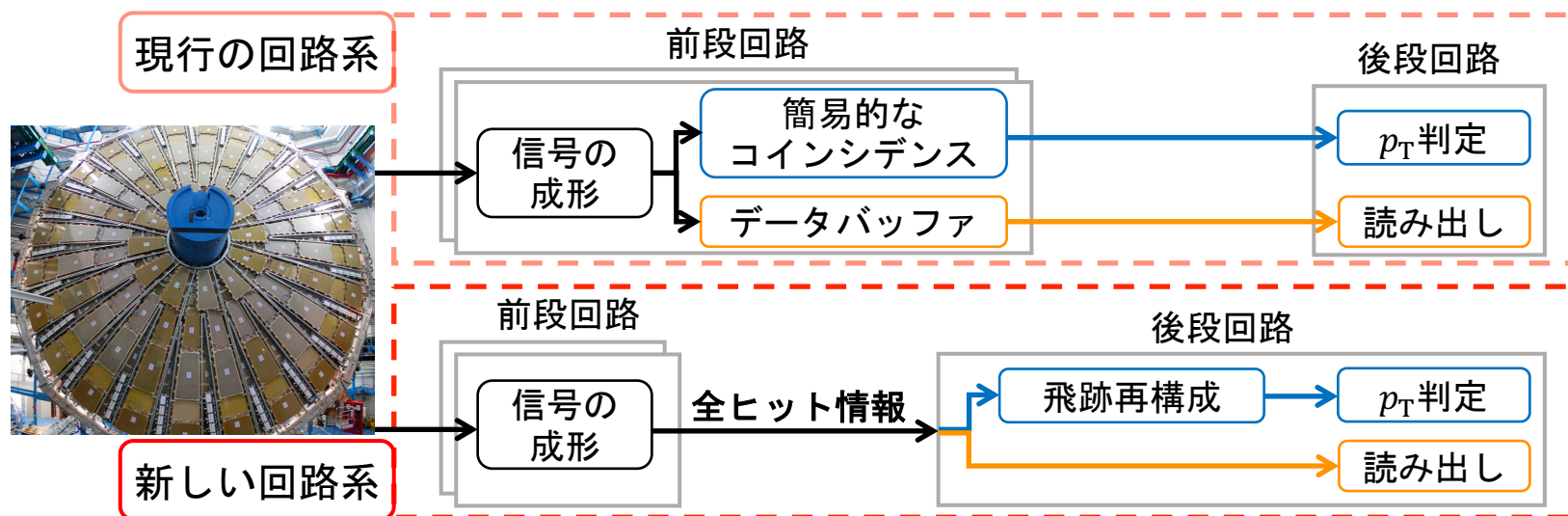
- 初段トリガーレートを100 kHzから1 MHzに拡張することで、より様々な物理に対応したシステムを実現する
- レイテンシーを2.5  $\mu$ sから10  $\mu$ sに増加させることでより洗練されたアルゴリズムの導入を可能にする

## • TGC検出器システムの刷新

### • TGC検出器からのすべての信号を検出器上の新しい前段回路から新しい後段回路へ転送する

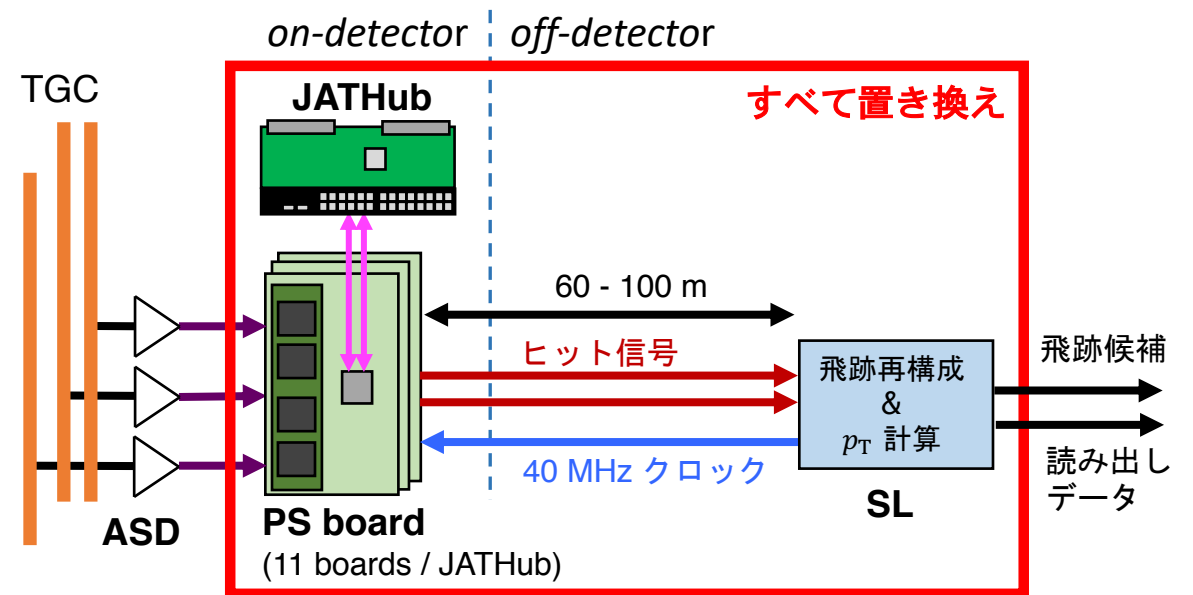
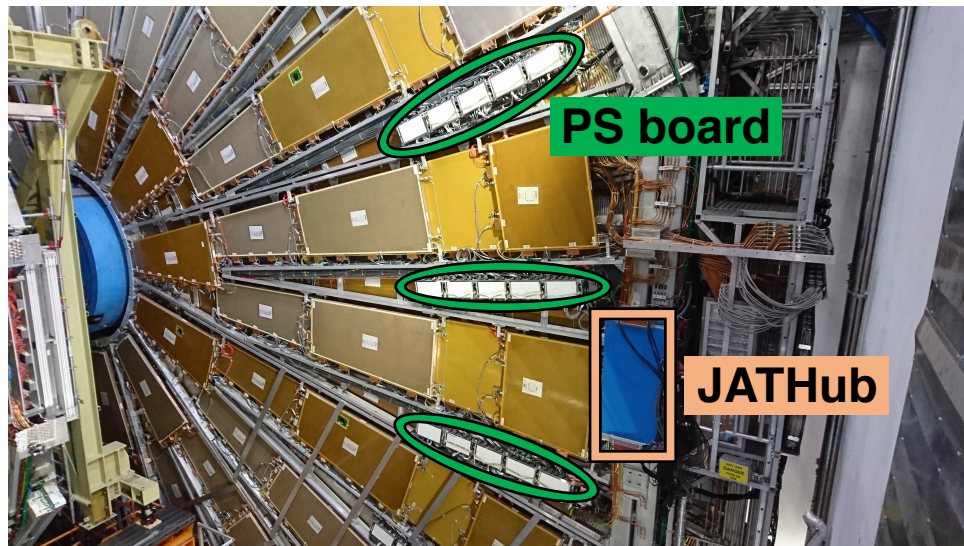
(読み出しバンド幅の大幅な拡張による、総読み出しバンド幅 ~ 23 Tbps)

- より堅牢で柔軟なトリガーアルゴリズムを後段回路に実装することが可能になる
- フロントエンドにFPGAが導入されるため、FPGAの放射線損傷 (ソフトエラー) への対処が問題となる



# TGC 検出器エレクトロニクスシステムの全体像

- **ASD** (Amplifier - Shaper - Discriminator) (~ 2 万 3000 枚)
- **PS board** (Primary Processor board) (1434 枚)
- **JATHub** (JTAG Assistance Hub) (148 枚)
- **SL** (Sector Logic) (48 枚)



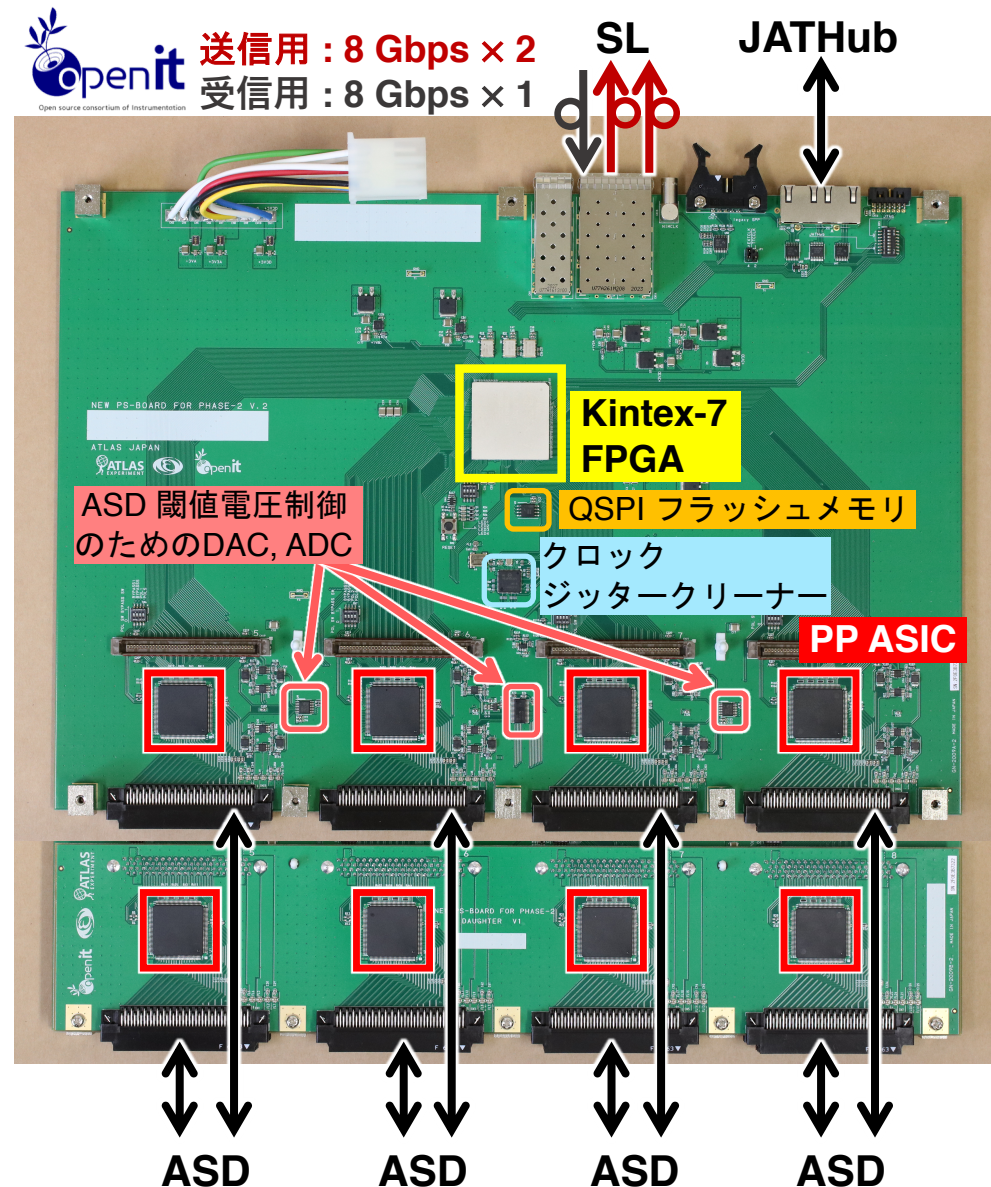
# PS board のインターフェイスと機能

## • PP ASIC

- 可変遅延を用いた信号のタイミング調整 (刻み幅: < 1ns)
- 陽子バンチ交差番号を各信号へアサインする (BCID)
- ASD へのテストパルスの発行

## • PS board FPGA

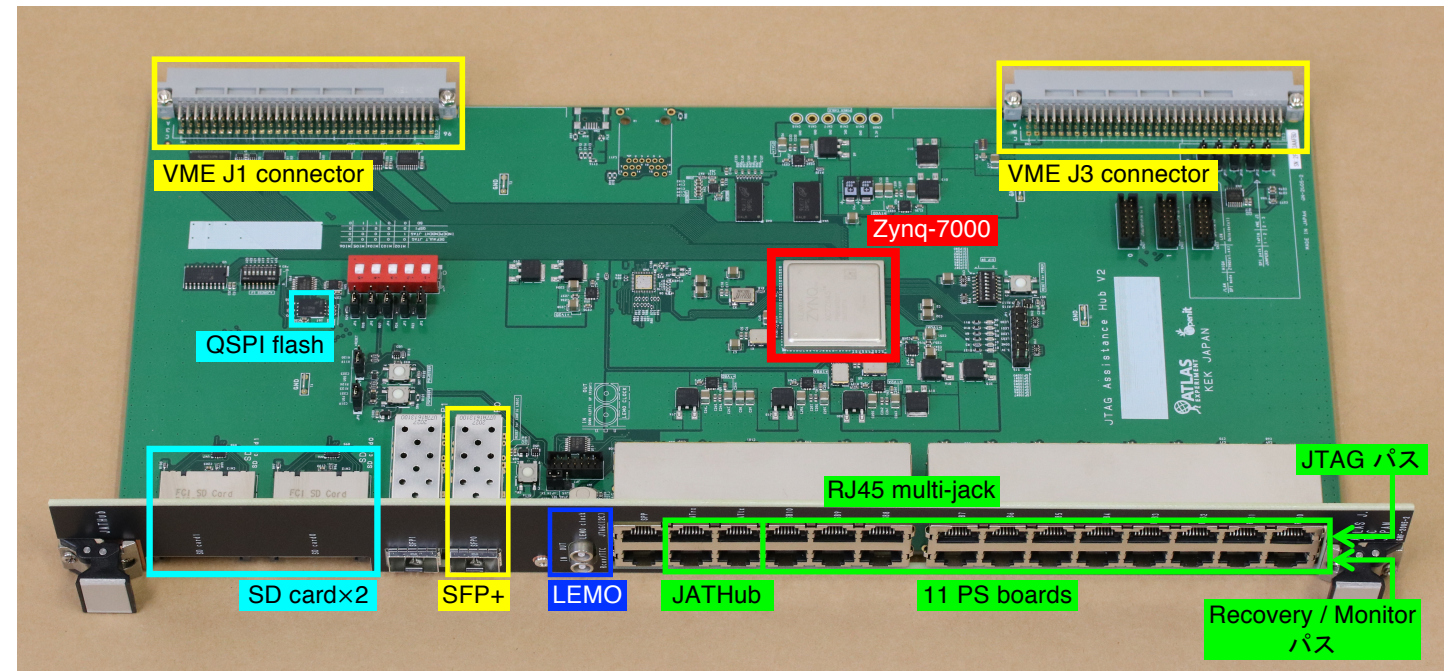
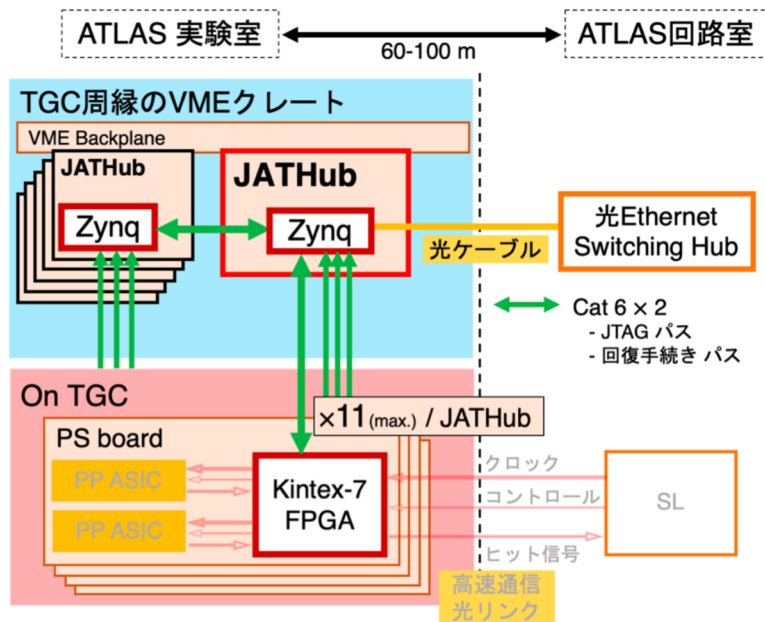
- SL から光リンク経由で制御信号と共に 40 MHz クロックを固定位相で受け取る (clock on data)  
クロックジッタークリーナーが FPGA や PP ASIC にジッタが少ないクロックを供給する
  - 40 MHz クロックの位相を 18 ps の刻み幅で調整可能
- PP ASIC からヒット信号を集め、ヒットの有無に関わらず固定長のヒットマップを光リンクで SL に転送する (8 Gbps × 2)
  - 衝突時刻に対して固定時間で信号を受け取り、固定時間で処理及び読み出しを行う
- ASD 閾値電圧の制御 (DAC) 及びモニター (ADC)





# JATHub のインターフェイスと機能

- ATLAS 回路室との光 Ethernet 通信
- フロントエンド FPGA のコンフィギュレーション、デバッグのための JTAG 通信
- フロントエンドエレクトロニクスの回復手続き
  - SEM controller + JATHub による回復
- PS board 上の 40 MHz クロックの位相測定
  - PS board 間のクロックの位相を 0(100 ps)で揃え、適切な BCID を可能にするため
- 2枚の SDカード, QSPI フラッシュメモリ を用いた冗長性のあるブートシステム
- VMEによる通信



## 2. TGC検出器エレクトロニクスの統合試験

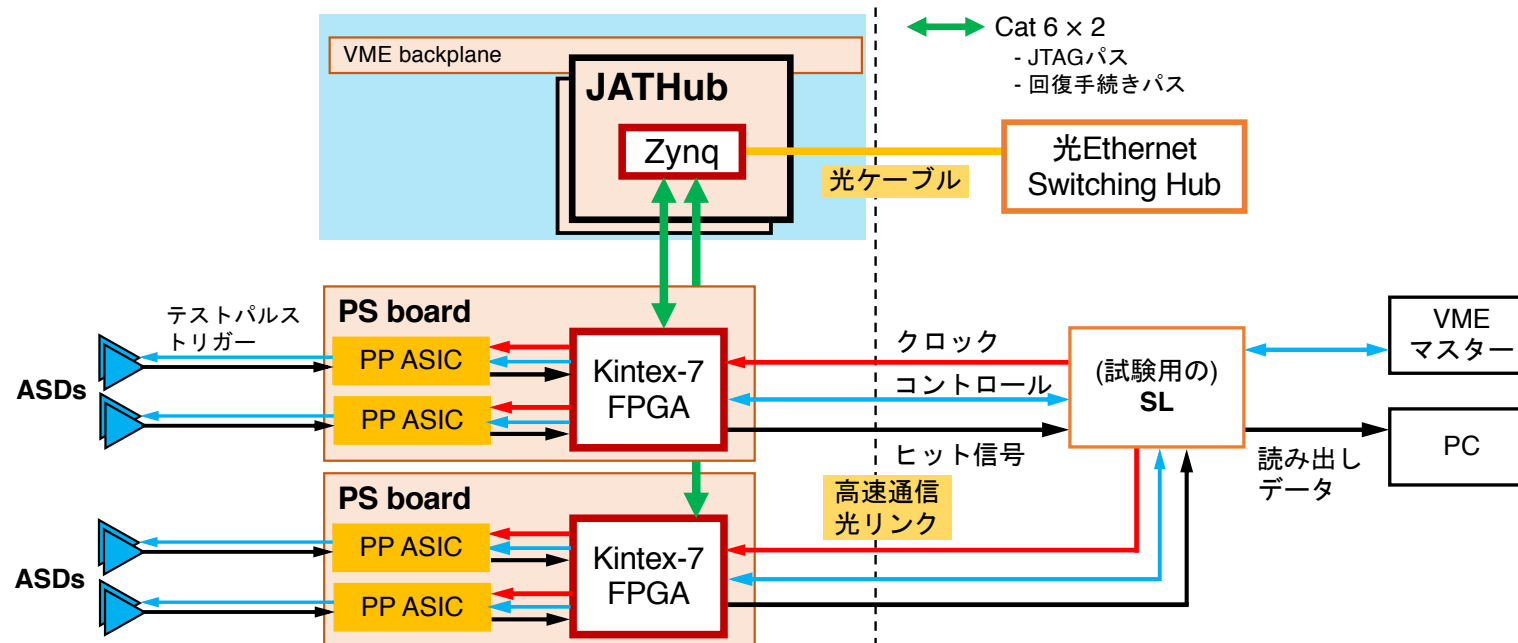
---

# TGC 検出器エレクトロニクスの統合試験

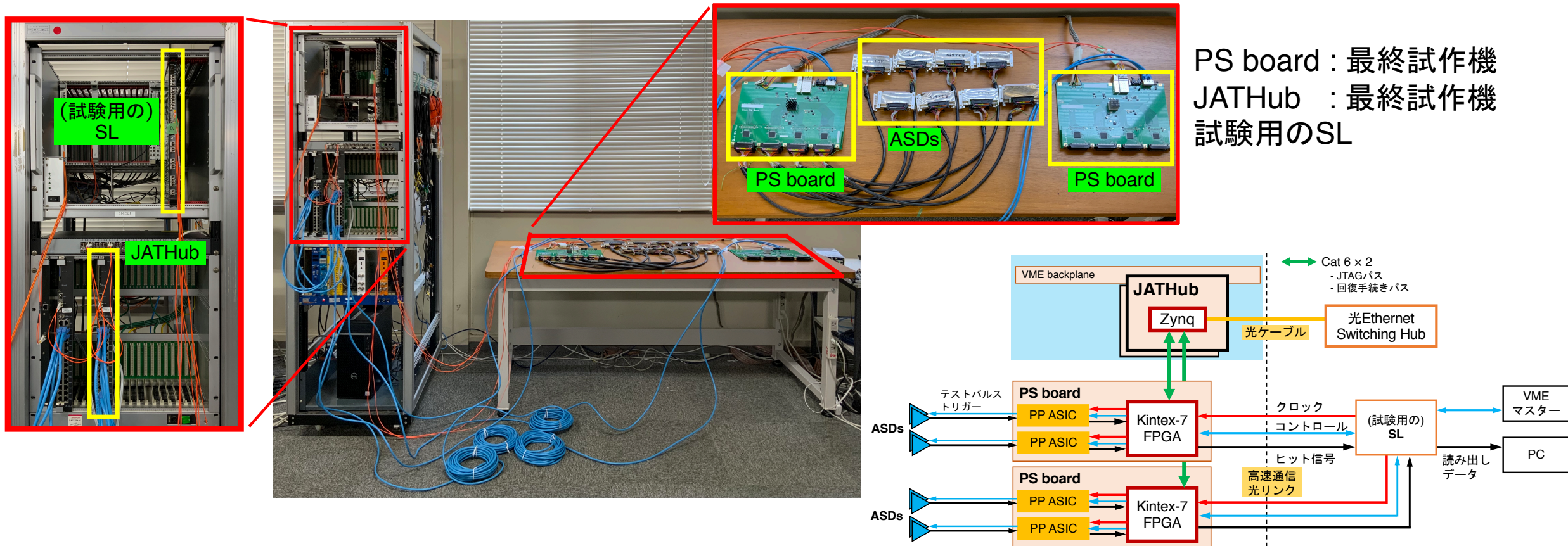
- TGC 検出器エレクトロニクスの統合試験のために ASD, PS board, JATHub, (試験用の) SL を使ったテストベンチを KEK に立ち上げた

## • 目的

- (0) PS board と SL 間のデータフォーマット及びプロトコルの確立
- (1) PP ASIC, DAC, ADC, FPGA のレジスタ制御の実証
- (2) クロック分配、位相モニターおよび位相制御の実証
- (3) TGC 検出器からのヒット信号を模した ASD テストパルスを用いた読み出しパスの実証
- (4) 高輝度 LHC-ATLAS 実験に向けたエレクトロニクスのコミッショニングシステムの開発



# TGC 検出器エレクトロニクス統合試験のセットアップ

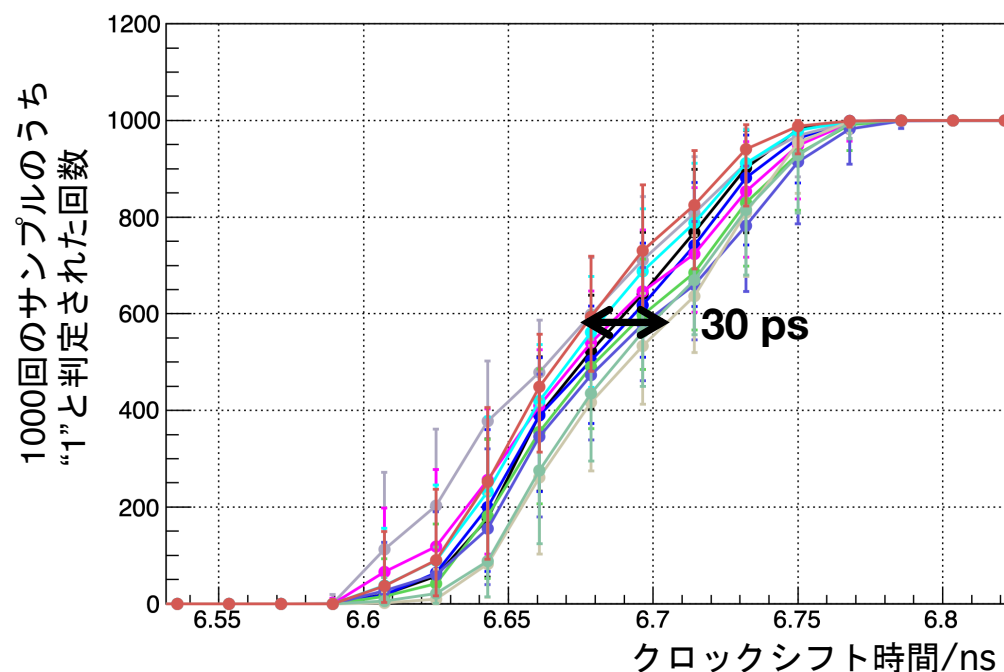
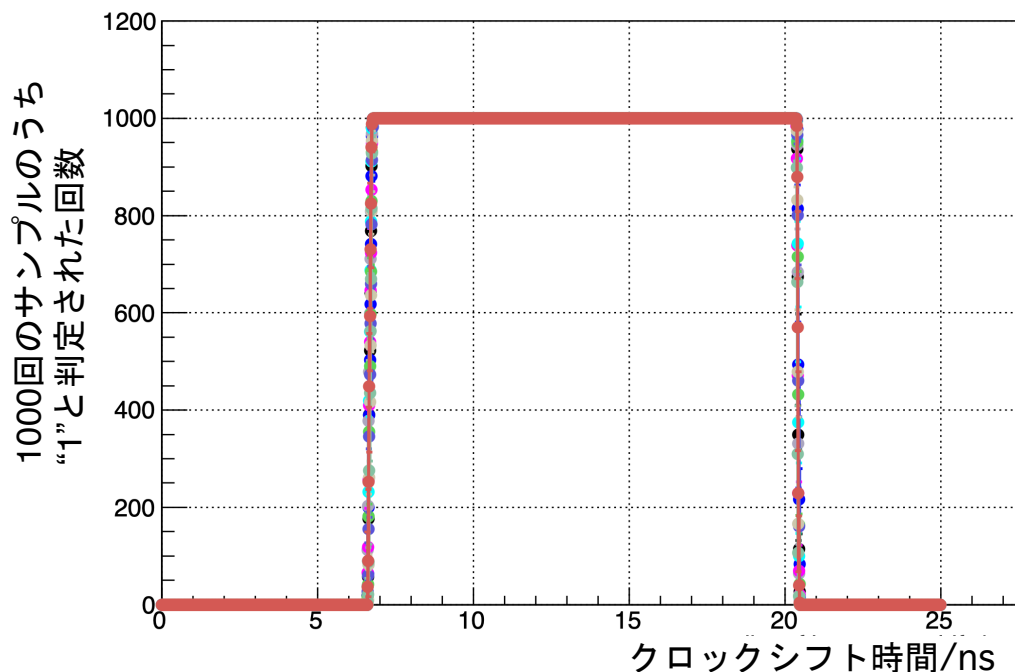


- 必要なフロントエンドエレクトロニクスを全て設置済みであり、  
本番用のファームウェア/ソフトウェアの開発や  
オペレーションやキャリブレーションに要求される全ての機能をテストすることが可能

# 再構成クロック位相の固定精度

- SL から PS board への固定位相でのクロック分配について、JATHub を用いて再構成クロック位相の固定精度を測定した
- PS board を 10 回再コンフィギュレーションした時の、PS board において再構成されるクロックの位相の変化は **30 ps** 程度であり設定した到達目標である  $O(100 \text{ ps})$  の精度に対して十分に小さい値である

(PS board の GT トランシーバーのリセット、SL の再コンフィギュレーション、SL の GT トランシーバーのリセット、SL ・ PS board のパワーサイクルに伴って観測された位相の変化も 30 ps 程度である)



# 読み出しシステムのデモンストレーション

- 制御パスの実証

- SL -> PS board

- 読み出しパスの実証

- ASD -> PS board -> SL -> PC
- ASD テストパルス

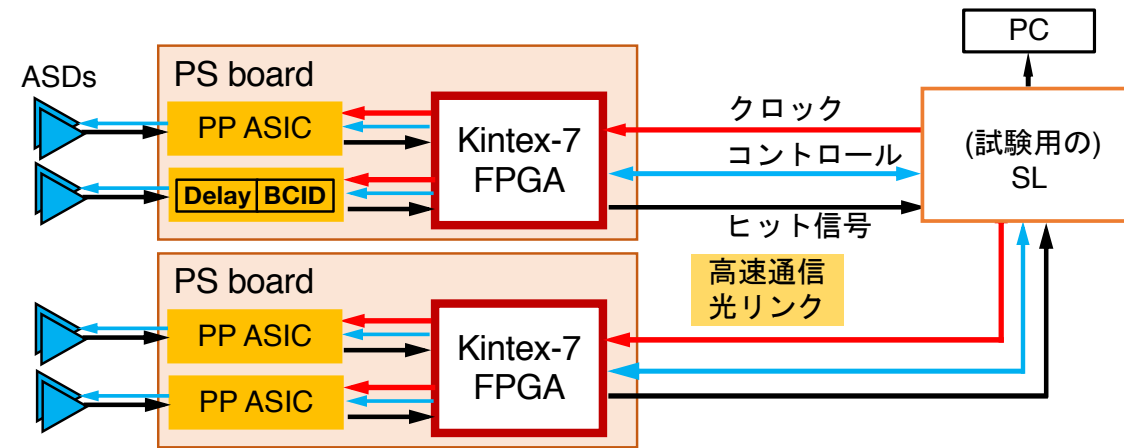
- 40 MHz クロックに同期して、すべての ASD に同時にテスト信号を埋めることができる機能

- 固定時間での処理及び読み出しを実現

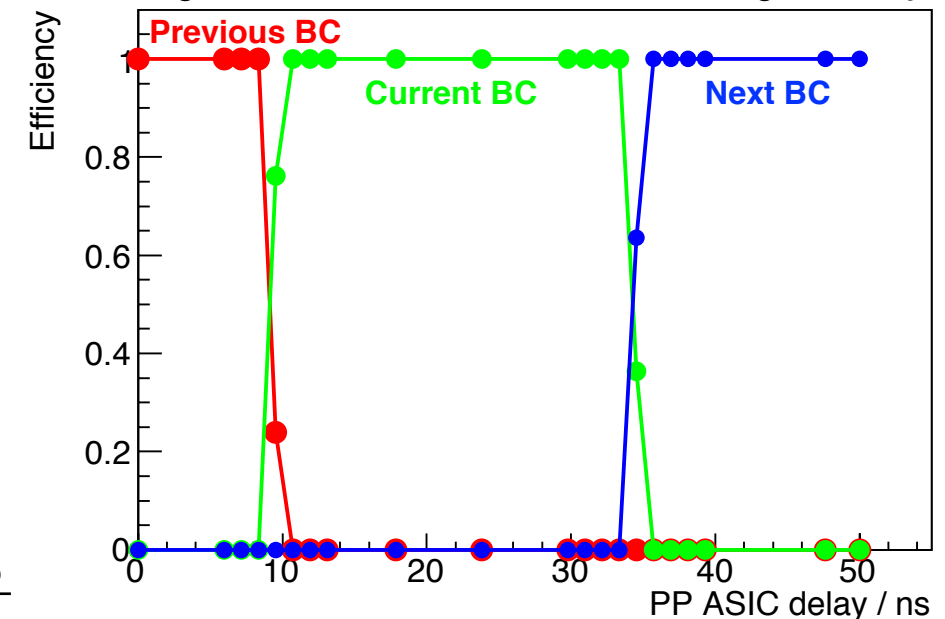
- 読み出しパスと制御パスのデモンストレーションとして **Delay Curve** を作成した

(特に PP ASIC における可変遅延の制御)

- このタイミングキャリブレーションは正しい BCID を行うための重要な手段であり、実際のセットアップでも行う



Hit assignment as a function of PP ASIC signal delay

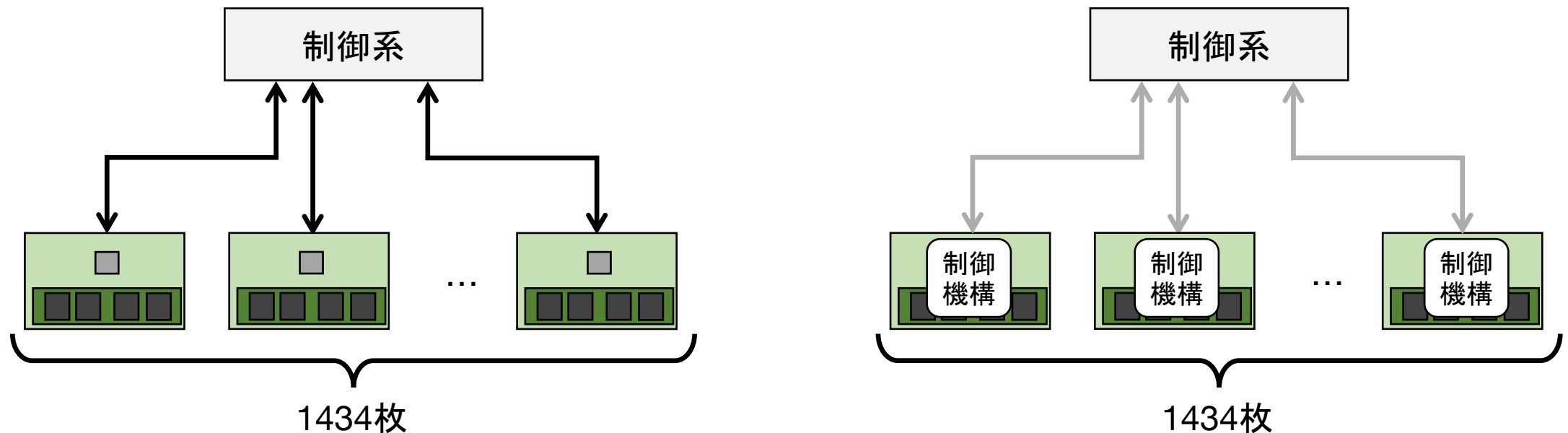


### 3. TGC検出器システムへの 自律型制御機構の導入

---

# 大規模システムにおける自律型制御機構

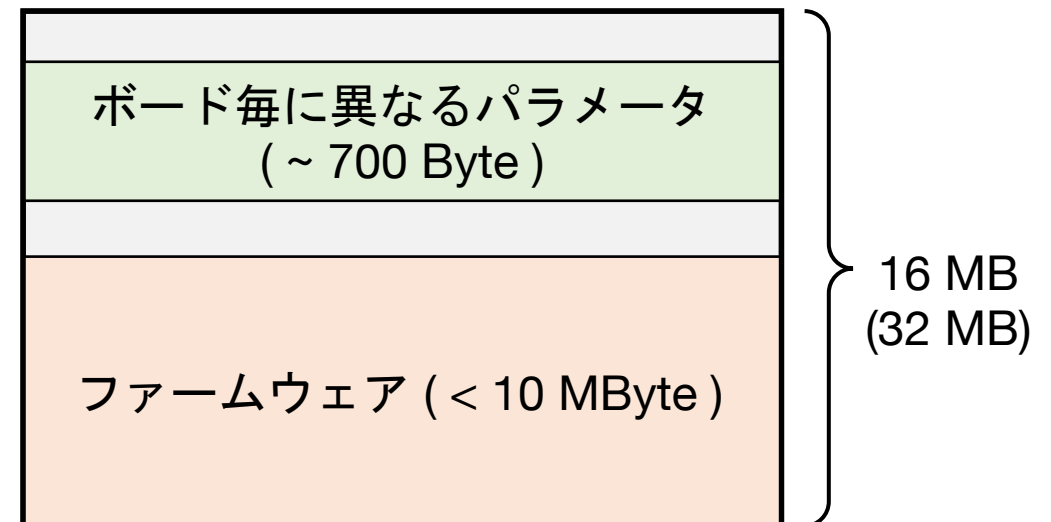
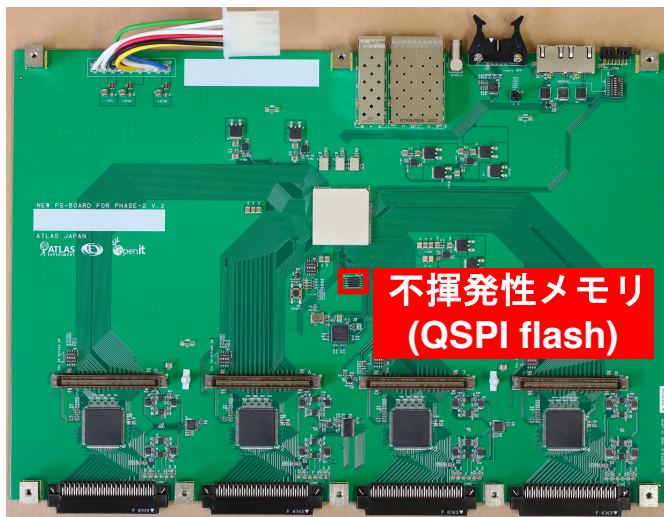
- エレクトロニクス制御系の高度化、自動化、高速化
- 大規模システムでは多数のエレクトロニクスそれぞれで、クロックの再構成、パラメータの設定、他のエレクトロニクスとのリンクの確立などを行う必要がある
- それぞれのエレクトロニクス上で働く“自律型制御機構”を導入することにより、中央の制御系からの操作を最小限に抑え、**大規模な並列化**を自然に実現できる





# 不揮発性メモリへのパラメータの保存

- ここでは PS board に着目する (PS board は TGC システム全体で1434枚)
- それぞれの PS board においては PP ASIC の適切な設定、クロックへの適切な遅延、SL とのデータ通信用シリアルリンクの確立を行う必要がある
- PS board を電源オンにした時、もしくは FPGA を再コンフィギュレーションした時の FPGA や素子のレジスタの設定方法について  
(各 PS board のファームウェアは共通、設定するパラメータはバラバラ)  
(方法1) 一回一回、SL からそれぞれの PS board のレジスタに書き込む (現行システムの方法)  
(方法2) **PS board 上の不揮発性メモリを利用して、PS board に必要なパラメータを各自で保存しておき、PS board が自動的に自らをコンフィギュレーションする**



# 自律型制御機構のコンセプト

## • 自動トランシーバーリセット

- PS board が JATHub からトランシーバーリセット信号を受け取った時や SL との光リンクが切れた時に  
自律型制御機構がそれらを自動的に感知し  
固定位相でのクロックの再構成・リンクの再確立を行う

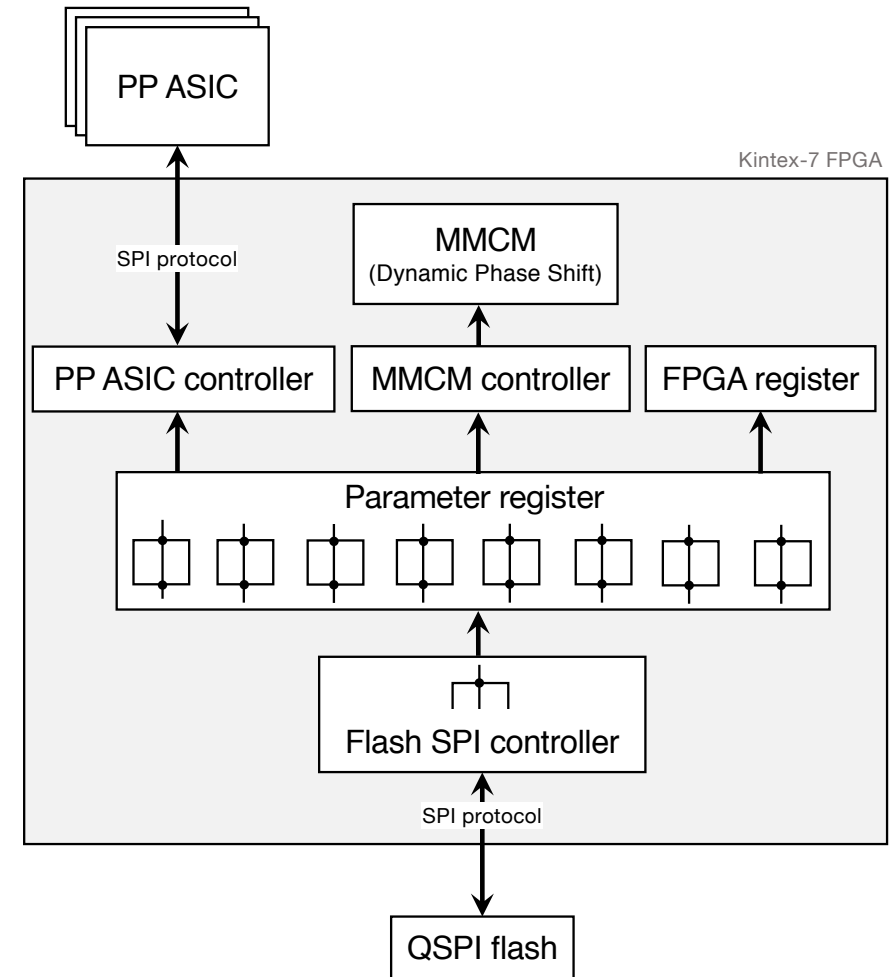
## • 自動 FPGA (再)コンフィギュレーション

- PS board が JATHub から再コンフィギュレーション信号を受け取った時や電源を入れられた時に自律型制御機構がそれらを自動的に感知し  
FPGA のコンフィギュレーション、  
固定位相でのクロックの再構成・リンクの再確立、  
及び PS board 毎に異なるパラメータの設定を行う  
(これにより PS board はデータ収集に向けて準備万端となる)

-> これらのことを**それぞれの PS board で並列に行う**ことが可能となる

# 自律型制御機構のパラメータ設定部分

- (0) 各 PS board の不揮発性メモリに書き込む必要がある情報は、SL から最初に書き込んでおく
  - (1) 電源をオン、もしくは再コンフィギュレーションされたことを自ら認識し、Flash SPI controller を動かすことで不揮発性メモリから必要な情報を読み取り、Parameter register に格納する
  - (2) Parameter register では情報を三重化して保存し、SEU に堅牢な仕組みを構築する
  - (3) 保存した情報に基づいて、FPGA のレジスタの設定、PP ASIC のパラメータ設定  
40 MHz クロックの位相調整を行う
- > 現行システムと比べてエレクトロニクスの準備に必要な時間を圧倒的に短縮することができる



# PS board における自律型制御機構の性能評価

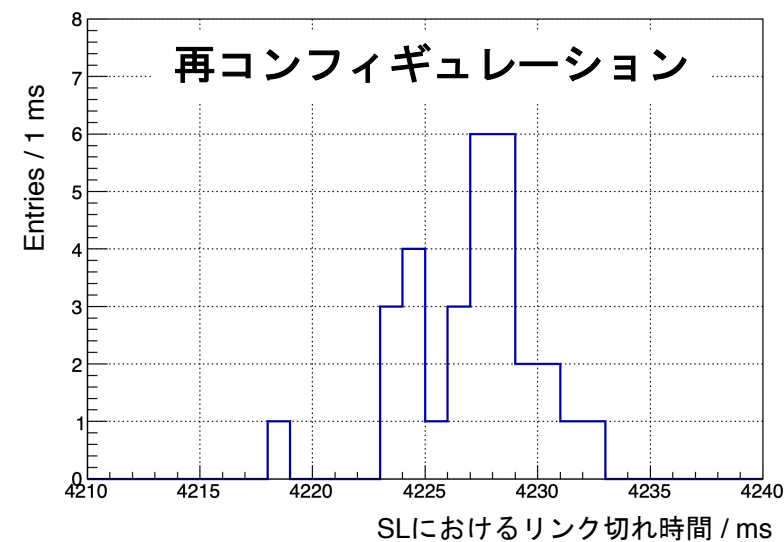
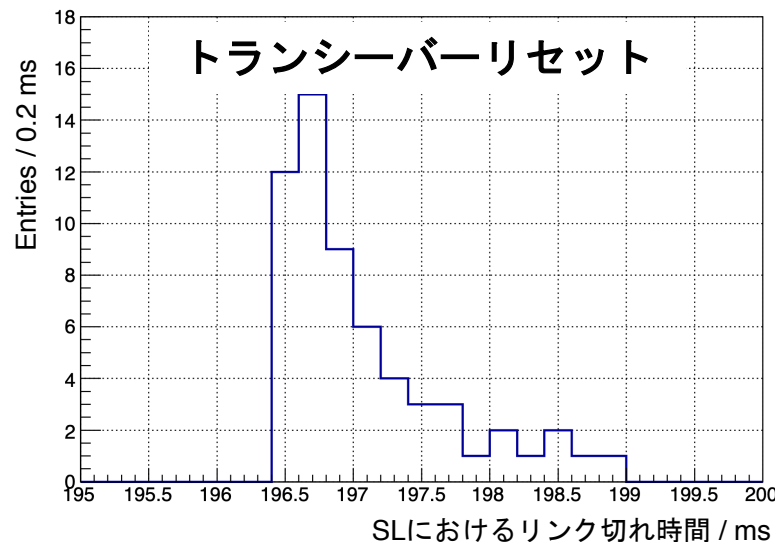
## • 自動トランシーバーリセット

- PS board が JATHub からトランシーバーリセットを受け取った時に、自律型制御機構によって SL とのリンクが回復するまでの時間を計測
- 196.5 ~ 199 ms 程度 (ジッタークリーナーが安定したクロックを出力するまでの時間が 99 % を占める)

## • 自動 FPGA 再コンフィギュレーション

- PS board が JATHub から再コンフィギュレーション信号を受け取った時に、FPGA がコンフィギュレーションされ自律型制御機構によって SL とのリンクが回復するまでの時間を計測
- 4218 ~ 4233 ms 程度 (FPGA がコンフィギュレーションされるまでの時間が 95 % を占める)

-> 自律型制御機構によってエレクトロニクスが準備に必要なとする時間を  
現行システムに比べて 1/60 倍以下に抑えることができる



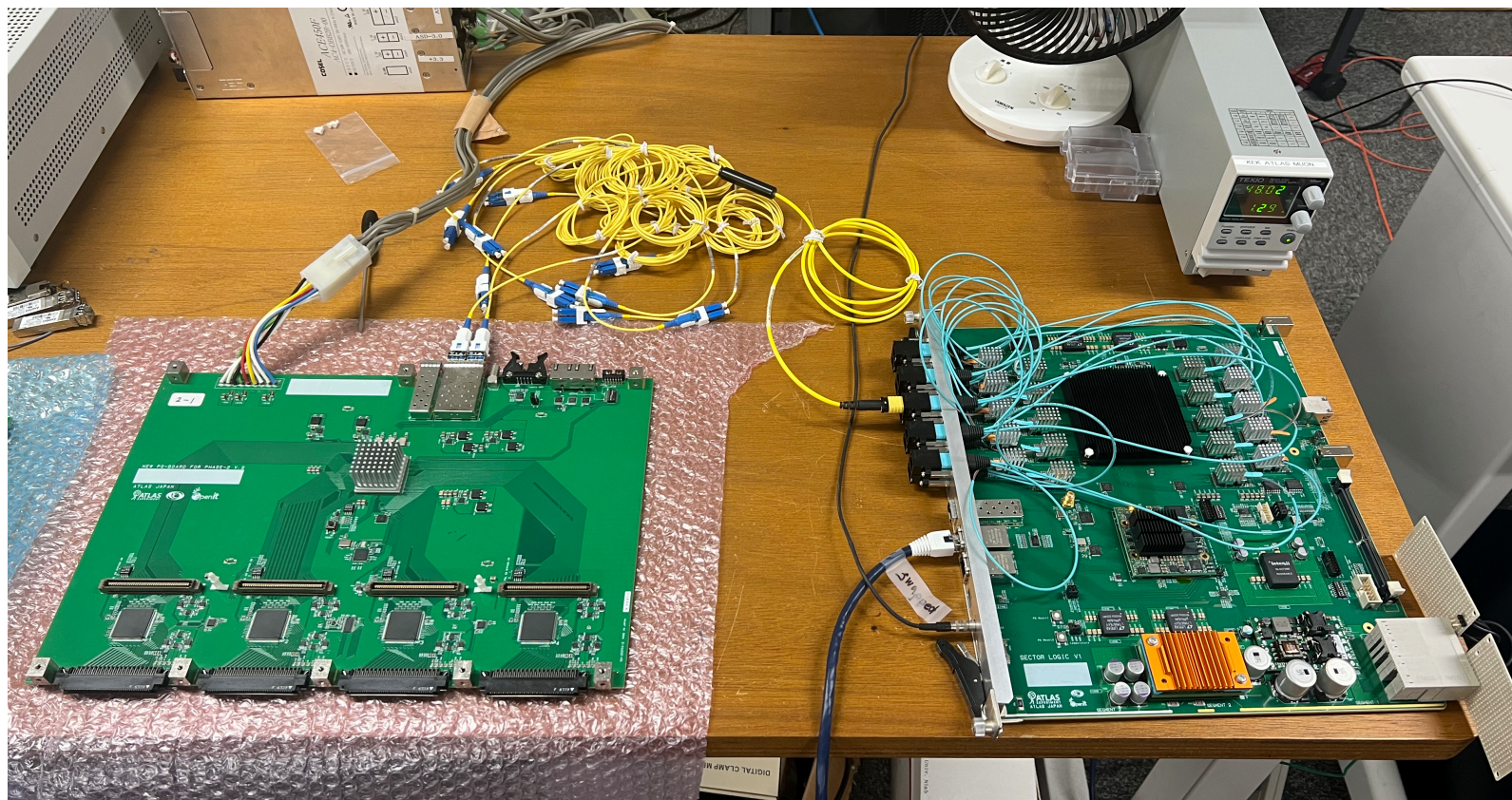
# まとめ

---

- 高輝度LHC-ATLAS実験に向けたTGC検出器エレクトロニクスの刷新
  - フロントエンドはすべてのヒット信号をバックエンドに転送する仕様となる
  - フロントエンドエレクトロニクス最終試作機：PS board, JATHub
    - すべての機能をすでに実装しておりボード単体および統合試験においてテスト済み
- KEKにおけるTGC検出器エレクトロニクスの統合試験
  - ASD - PS board - (試験用の) SL + JATHub を用いたテストベンチ
  - **クロック分配、位相モニター、位相制御、及び読み出しパスを実証**
  - 開発したテストシステムや機能は、そのまま高輝度LHC-ATLAS実験におけるTGC検出器エレクトロニクスのコミッショニングシステムに使えるものである
- 大規模な物理実験システムで汎用的に活用可能なアイデア・技術の創出
  - リンクエラー等の際に、中央の制御系からの命令がなくとも即座に問題を修正しデータ収集効率を最大化する
  - 自律型制御機構の導入により自然に制御系の大規模な並列化が実現される  
(大規模実験における最適な制御手法の提案)

# 今後の展望

- 高輝度LHC-ATLAS実験に向けたエレクトロニクスコミッションングシステムの強化
  - PS board の温度や電圧などのモニタリングシステムの強化等
- 高輝度LHC-ATLAS実験の SL を用いた試験を進めている



# Back up

---

# SL のインターフェイスと機能

## • メインFPGA

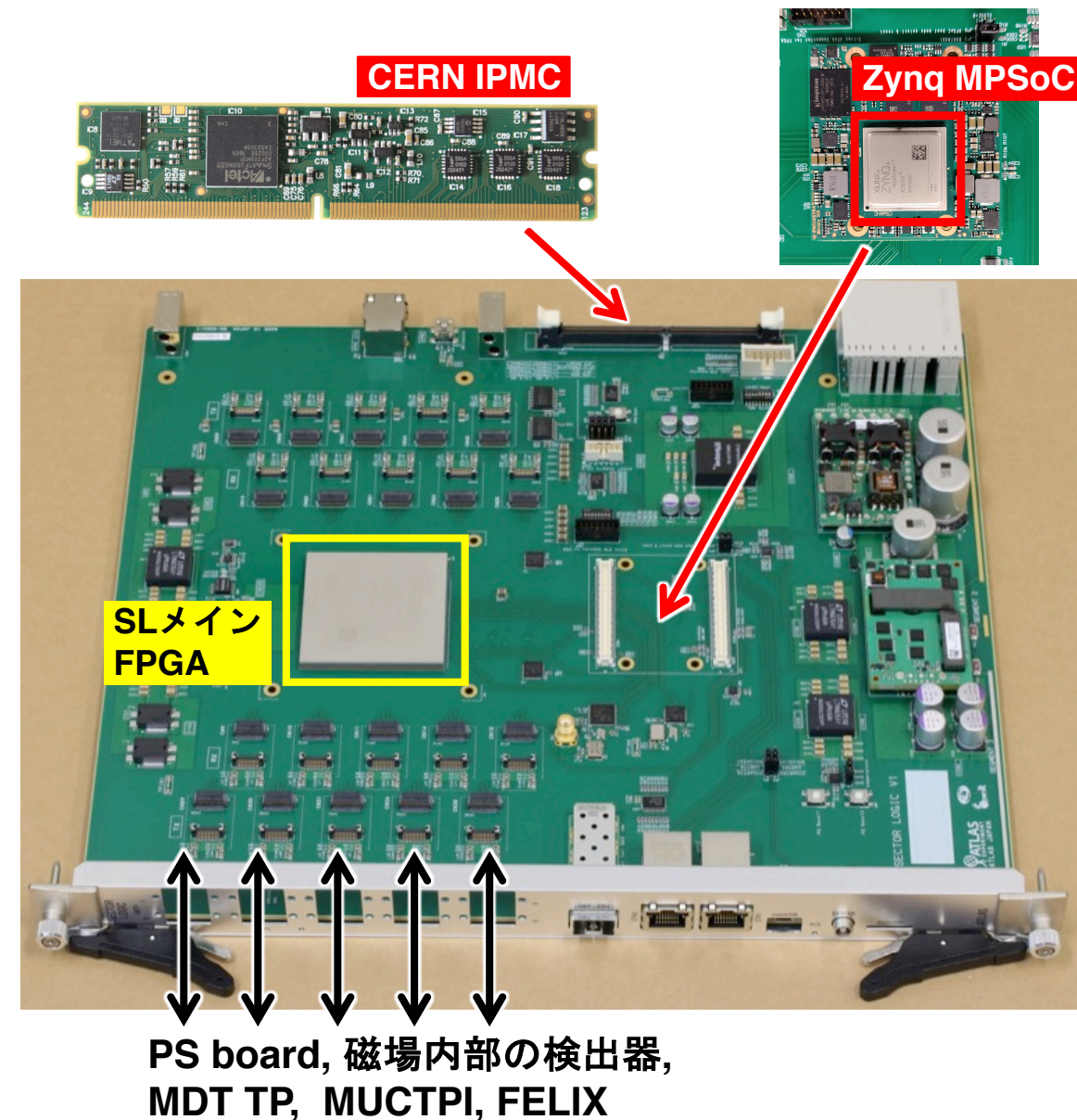
- TGC 全7層及び磁場内部の検出器からのヒット情報を受け取り、パターンマッチングを用いた飛跡再構成、及び  $p_T$  の概算
- MUCTPI への飛跡候補の送信
- LOA を受け取った場合に FELIX へヒット情報及びトリガー情報を渡す
- FELIX から 40 MHz クロック、LOA を含む TTC 信号を受け取り、40 MHz クロックを PS board へ分配する

## • Zynq MPSoC

- 上位のコントロールシステムとの通信
- メイン FPGA、PS board の制御

## • IPMC

- クレートインフラを管理する Shelf Manager へのモニタリング情報 (電圧や温度) の送信
- SL ボードのプライマリ電源の管理

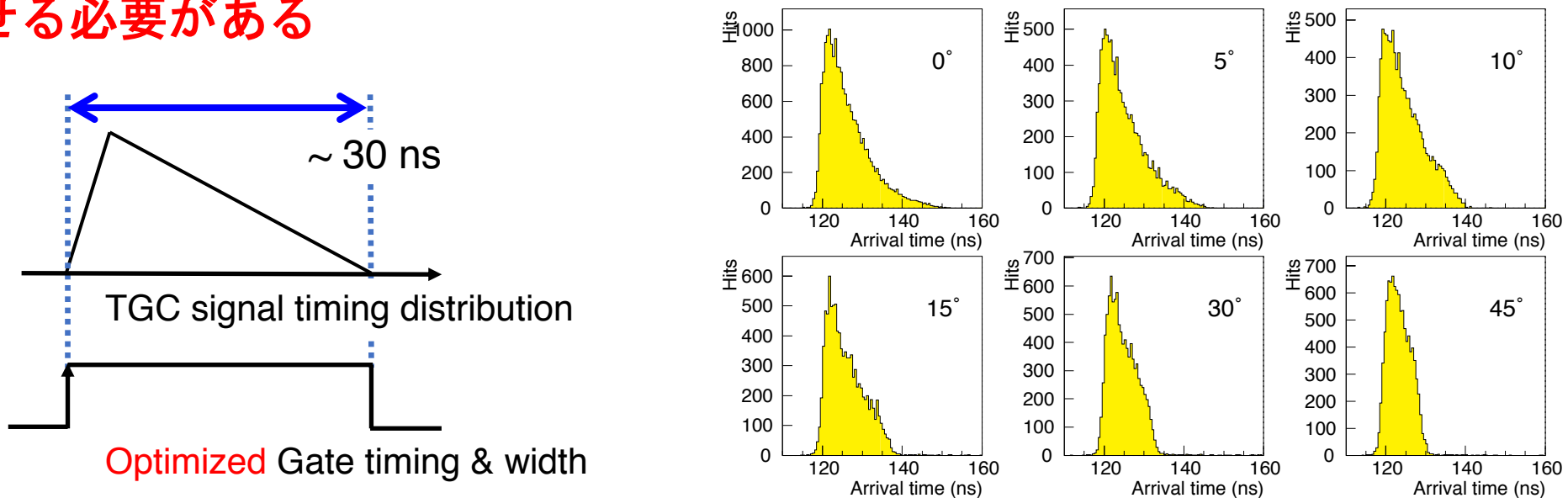




# PS board における 40 MHz クロック位相の一致

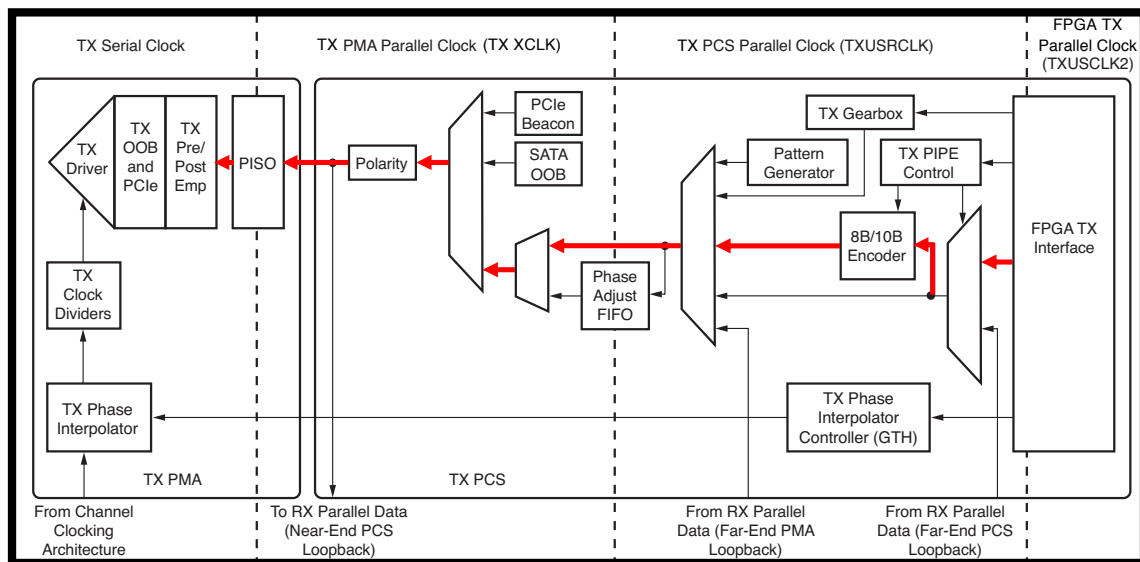
- TGC 検出器からのヒット信号はミュオンの検出器への入射位置の違いに起因して、PP ASIC への信号の到着時間分布に 20 ~ 30 ns 程度の幅を持つ (垂直入射 (0°) の時に、最大の幅を持つ)
- ヒット信号を取りこぼすことなく BCID を行いつつ、陽子交差のタイミングとは外れたバックグラウンドを出来るだけ拾わないためには、ヒット信号を受け入れるゲートのタイミング及び幅の最適化が必要となる

-> 信号のタイミングを揃え、ゲート幅を必要最小限に抑えるためには、全 1434 枚の PS board での 40 MHz クロックの位相を十分な精度  $\mathcal{O}(100 \text{ ps})$  で一致させる必要がある

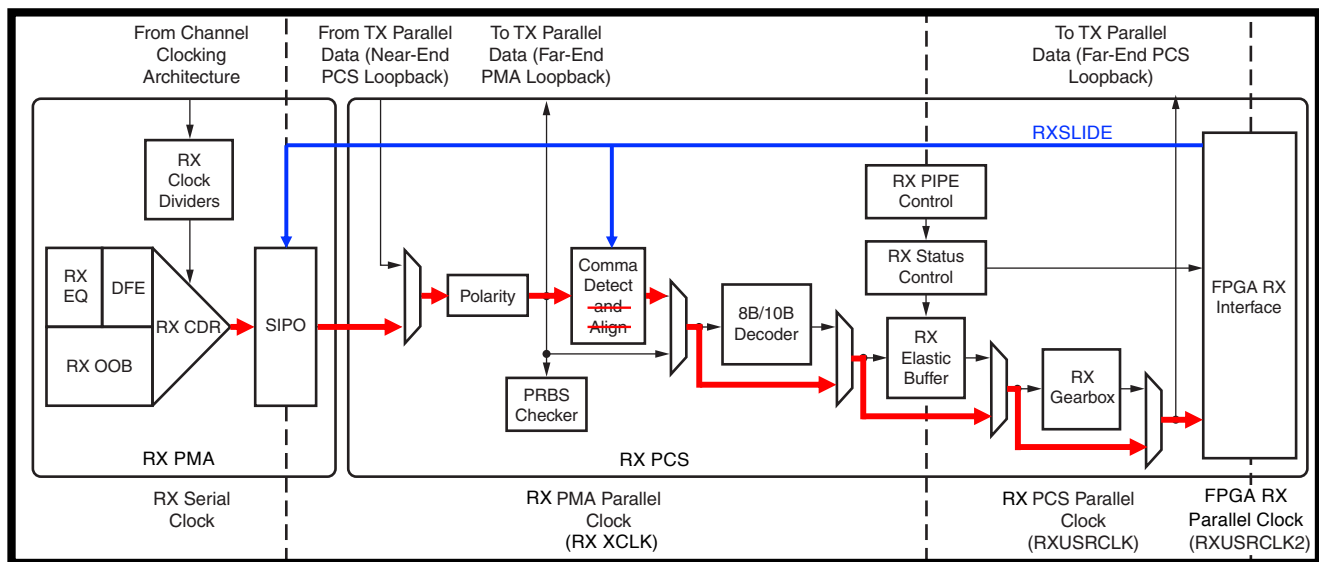


# 固定位相でのクロック分配

- PS board において適切な BCID を実行するためには、SL や PS board のリセットや再コンフィギュレーションに伴って PS board において再構成されるクロックの位相が変化しない“固定位相でのクロック分配”を実現する必要がある
- 固定位相でのクロック分配の実現のために GT トランシーバーに以下の対処を行なった
  1. クロックドメインの統一 (TX, RX)
  2. 位相差を吸収するバッファのバイパス (TX, RX)
  3. 再構成クロックの位相調整 (RX)



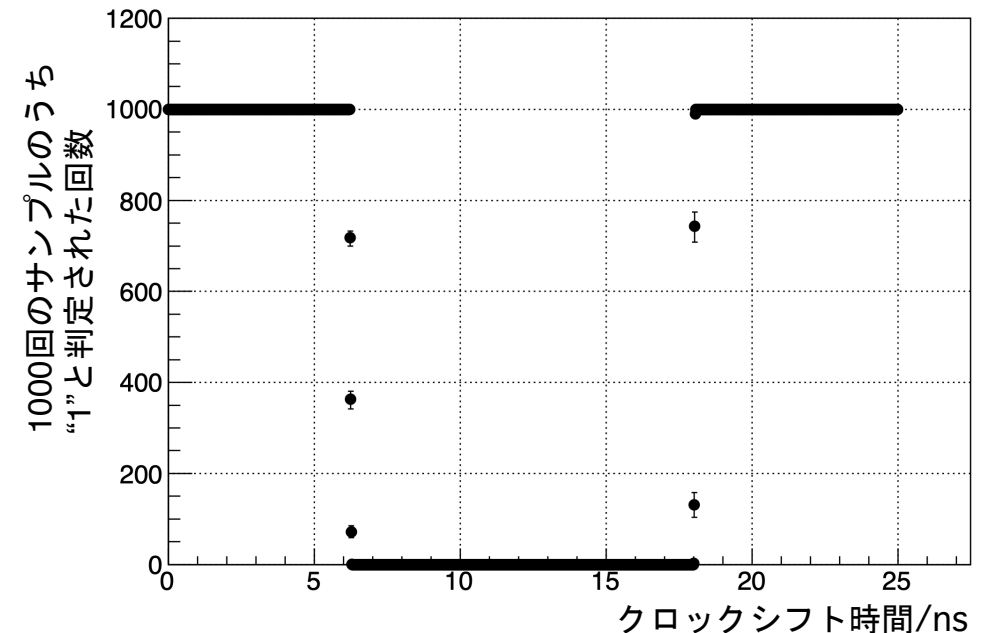
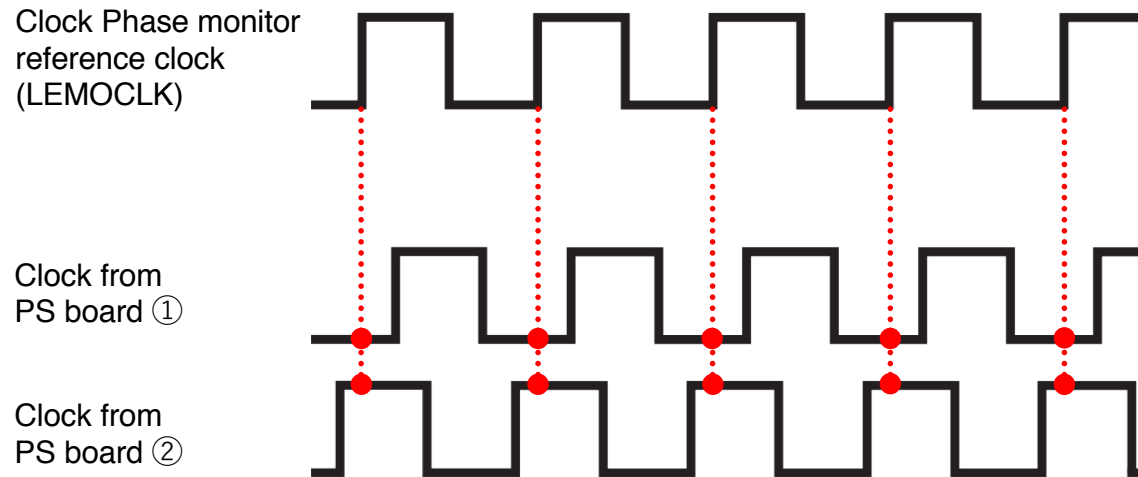
TX



RX

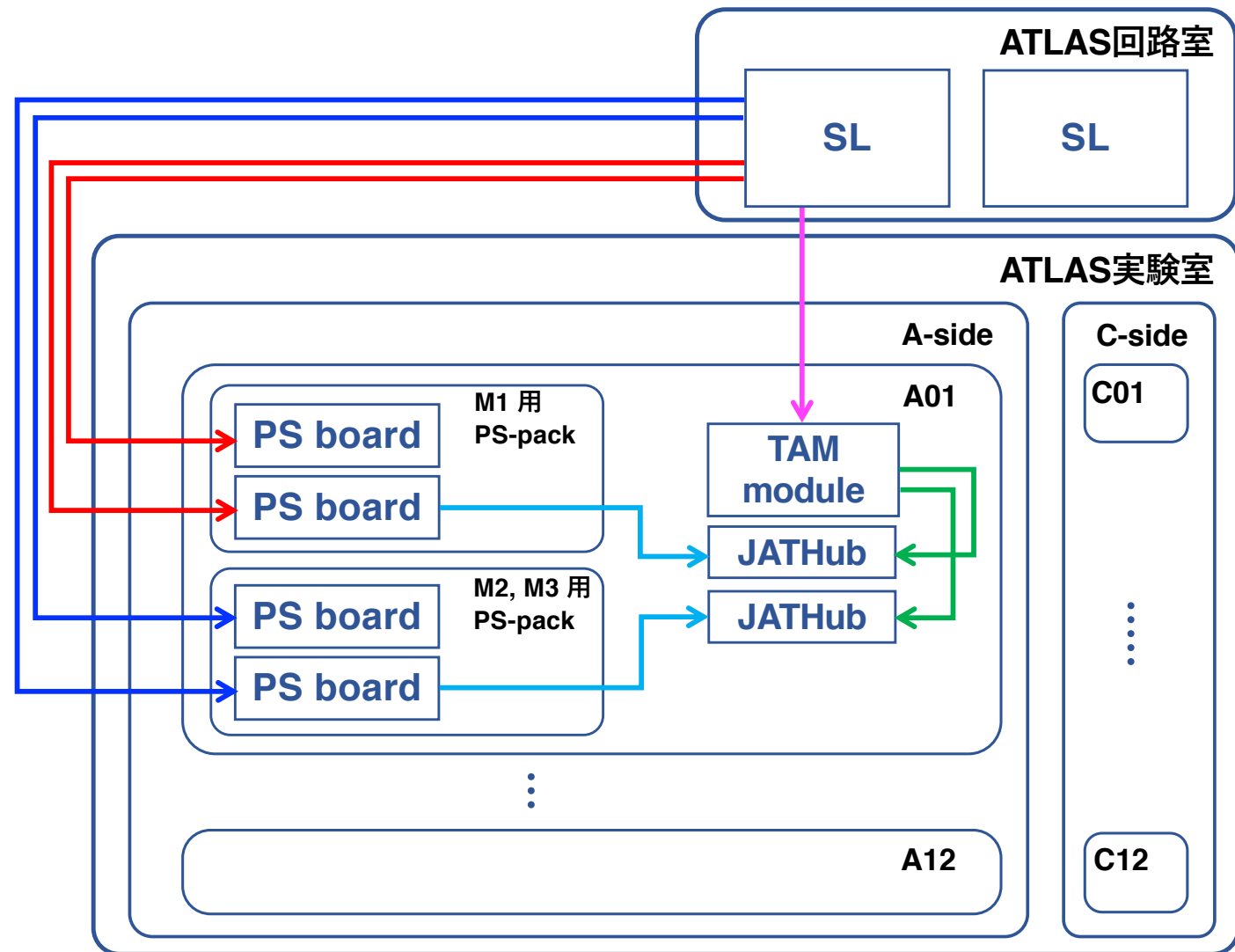
# JATHubによるクロック位相測定

- PS board におけるクロックの位相合わせを行うためには、それぞれの PS board 上の 40 MHz クロックの位相測定を行う必要があり、その役割を JATHub が果たす
- クロック位相測定のための基準クロックの立ち上がりで PS board からのクロックをサンプリングし、次に Dynamic Phase Shift 機能を用いて 18 ps ずつ PS board 上のクロックの位相を進める  
(このことを 1400回 (= 25 ns / (1/56 ns)) 繰り返すことで  $2\pi$  すべてをスキャンする)



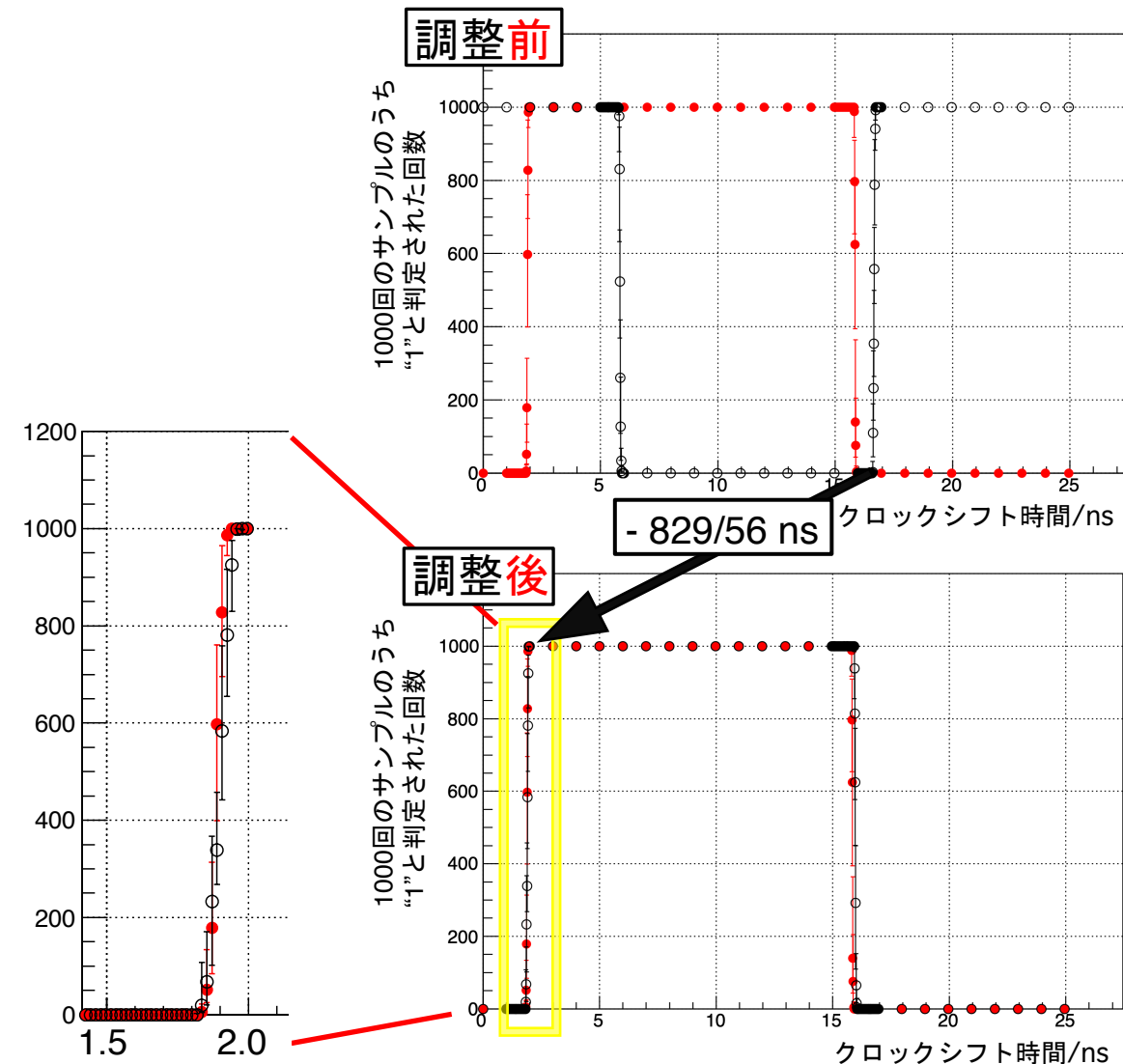
# PS board 間位相合わせの全体像

- SL <-> PS board 間のファイバー長は、同サイド、同セクター、同ステーションに属する PS board においては等しい
  - $2 \times 12 \times 2 = 48$  種類のファイバー長
- JATHub <-> PS board の間は等長配線
- 同じセクター内の JATHub には TAM モジュールから等長配線で基準クロックを配る
- 異なるセクター間の TAM モジュールを繋げ、セクター間で参照用クロックの位相を合わせる
- サイド間は地下の作業で、両サイドから信号を引っ張ってきてオシロスコープを見ながら合わせる

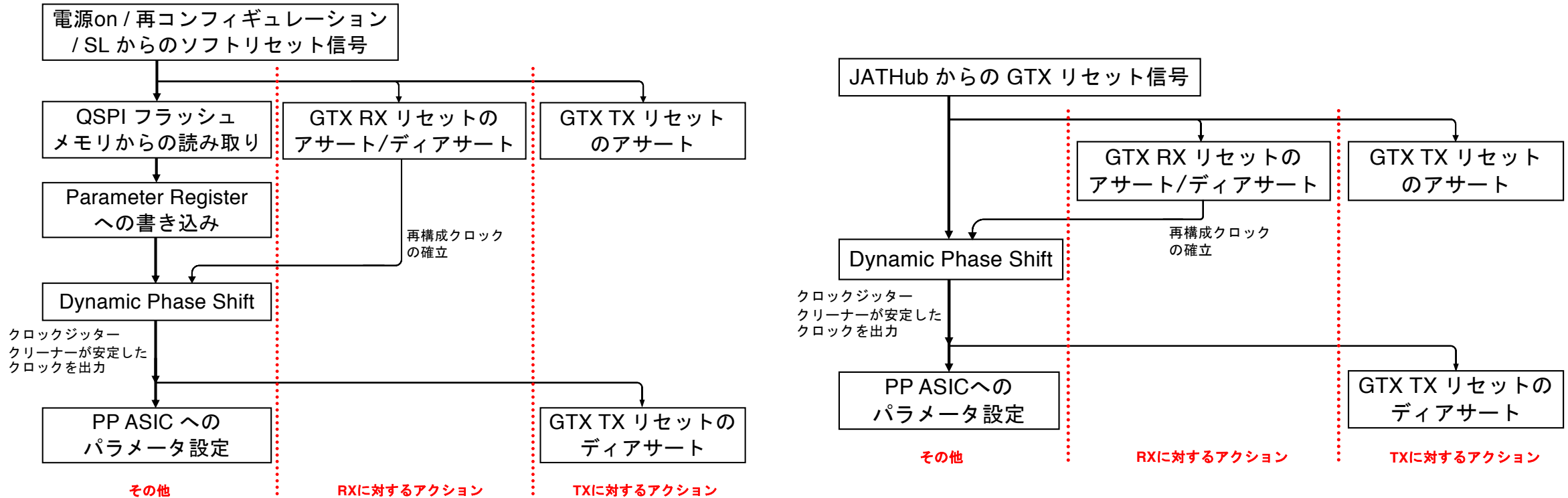


# クロック位相合わせのデモンストレーション

- PS board と SL との間のファイバー長はすべて同じではないため、PS board 間での 40 MHz クロックの位相を合わせるためには PS board においてクロック位相の調整が必須
- 2枚の PS board を用いたクロックの位相合わせのデモンストレーションを行なった (2枚のPS boardは異なる長さの光ファイバーで同じSLに接続しており、光ファイバーの長さの違いから期待される遅延差と一致している)
- PS board の遅延パラメータを SL から調整することで、2枚のPS board回路間でのクロックの位相合わせを十分に要求を満たす精度で実現した



# 自律型制御機構の全体的な手順



- RXにおけるクロックの再構成が完了した後に Dynamic Phase Shift が行われるように、またデータ送信が TX 側のリセットが完了した後にのみ行われるように自律型制御機構の全体的な手順を組み立てた

# 高輝度 LHC-ATLAS 実験での SEU 発生頻度

- Run 2 (2018年) にて実際の設置場所に Kintex-7 FPGA 搭載ボードを置き、SEU 事象の発生回数を計測した (積分ルミノシティー 12.6 fb<sup>-1</sup>)
- この時の瞬間最高ルミノシティーは  $2 \times 10^{34} \text{ cm}^{-2}\text{s}^{-1}$
- 全ての SEU 事象は 1 bit error で、全て SEM によって自動回復が行われた
  - 光リンクが切断されることもなかった
- 高輝度 LHC-ATLAS 実験での瞬間最高ルミノシティー  $7.5 \times 10^{34} \text{ cm}^{-2}\text{s}^{-1}$  では、どこかのフロントエンド回路 FPGA で SEU が発生する頻度は  $\sim 10^{-1} \text{ s}^{-1}$

引用: [ATLAS public results](#)

