



TGCのテストパルス機能を用いた、 初段ミュオントリガーの統合試運転 とシステム即時診断機構の開発

林雄一郎 (東京大学ICEPP)

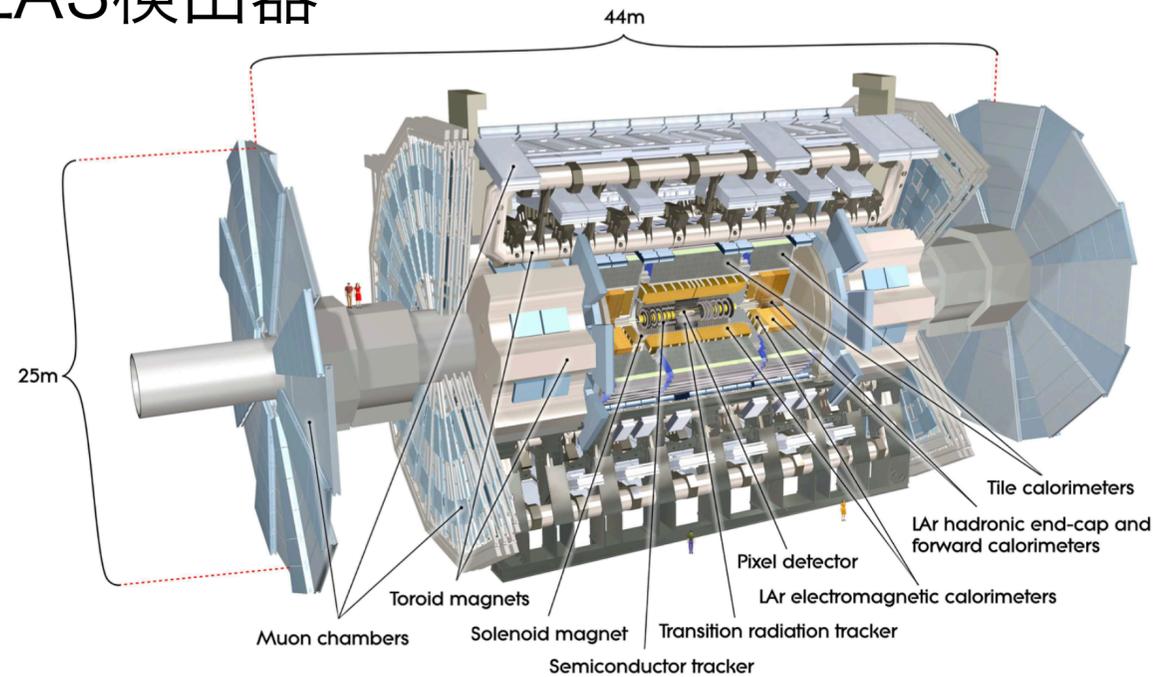
本発表の概要

1. 研究の背景
2. トラックテストパルス試験フレームワークの構築
3. トラックテストパルスを用いた統合試運転
4. Run 3開始後のシステム診断フレームワーク

1. 研究の背景

LHC-ATLAS実験Run 3

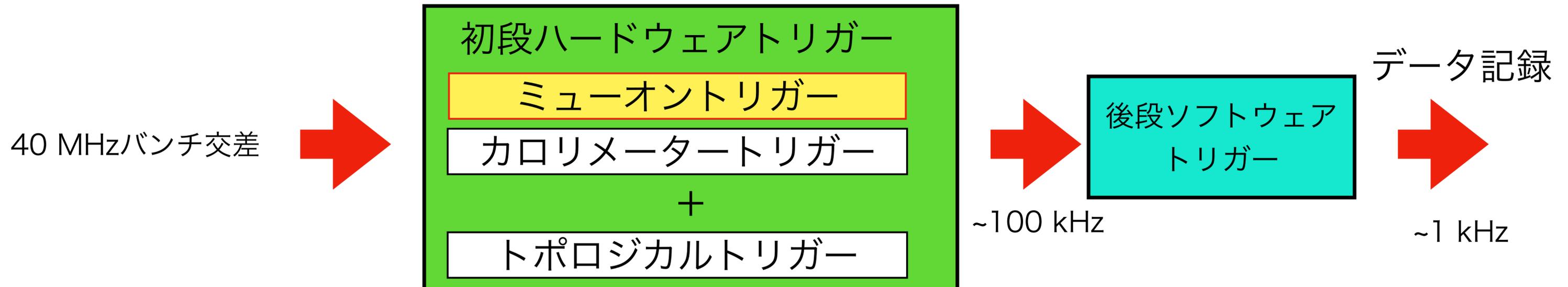
ATLAS検出器



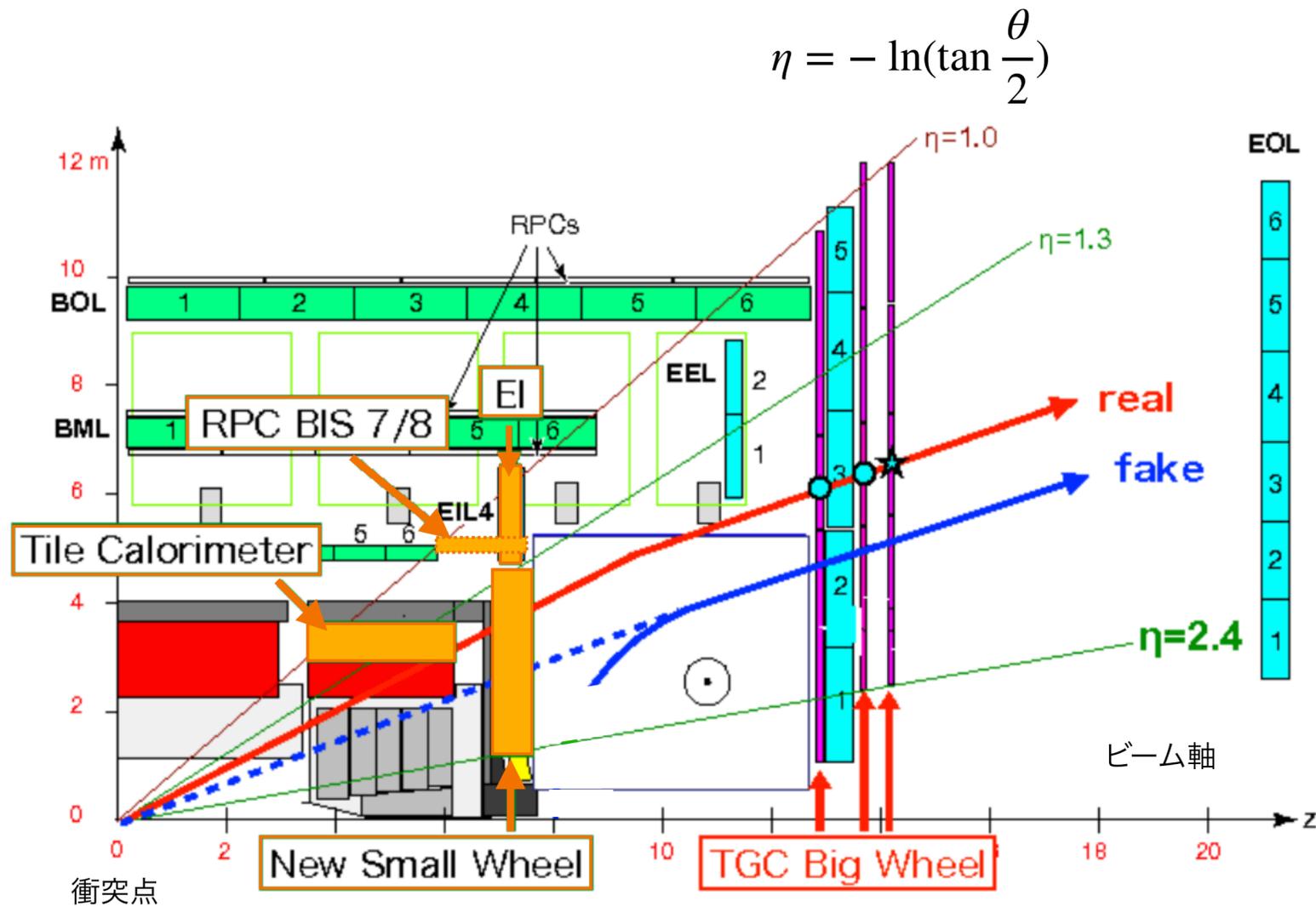
LHC-ATLAS実験

- ◆ 陽子のバンチを40 MHzで交差させ、生成粒子を観測、標準模型の精密検証および新物理探索を行う。
- ◆ 2022年4月開始のRun 3では、バンチ毎の陽子数を増やし、ピーク瞬間ルミノシティ $2 \times 10^{34} \text{ cm}^{-2}\text{s}^{-1}$ を長時間保ち、高統計のデータ収集を目指す

ATLAS実験のトリガーシステム



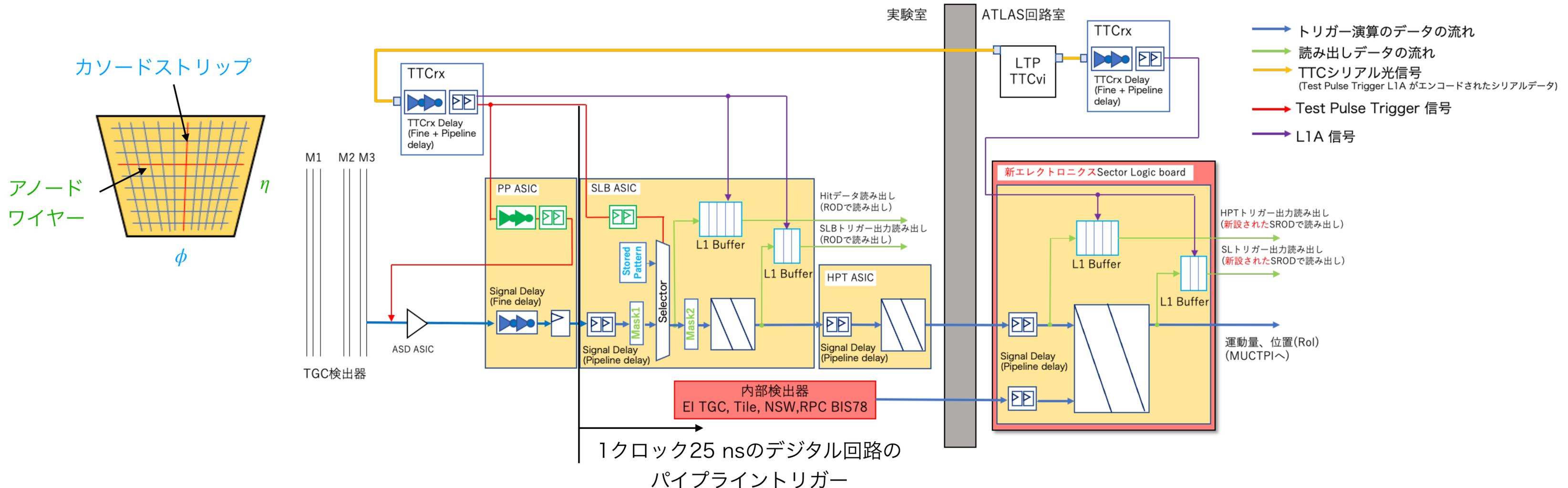
初段ミュオントリガーの概要



ミュオントリガーに参加する検出器群

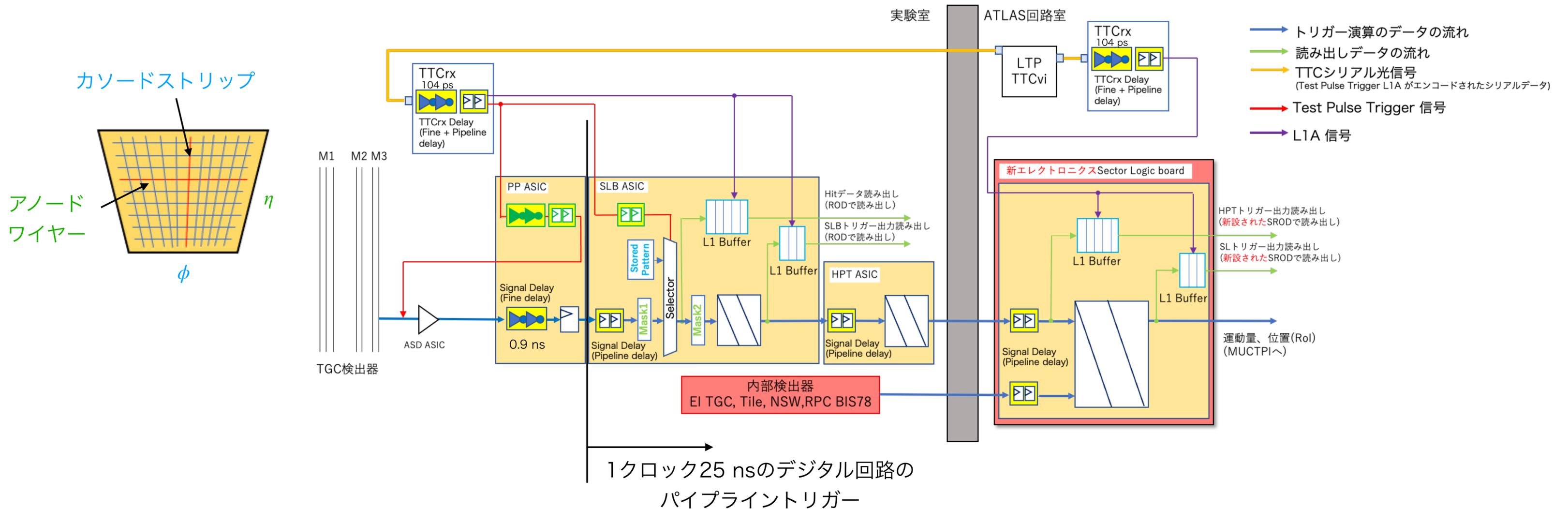
- エンドキャップ初段ミュオントリガー
 - 7層のThin Gap Chamber(TGC)のコインシデンス
 - トロイド磁場での曲率（運動量）と飛跡の位置を高速で概算
- Run 3では、衝突点由来でないミュオン飛跡を除外するために、新検出器を導入し、トロイド磁場通過前の情報とのコインシデンスを強化
- エレクトロニクスシステムを刷新
 - バックエンドトリガーエレクトロニクスを全て更新
 - 新検出器の導入に伴うI/Oの増強と、演算リソースの拡充

初段ミュオントリガーの電子学



- 初段ミュオントリガー: 多段コインシデンスロジックで位置と運動量を概算
 - η/ϕ でそれぞれ3ステーションコインシデンス(実験室内)
 - η/ϕ コインシデンス & 内部検出器とのコインシデンス(回路室内の新エレクトロニクスSL)

初段ミュオントリガーの電子学

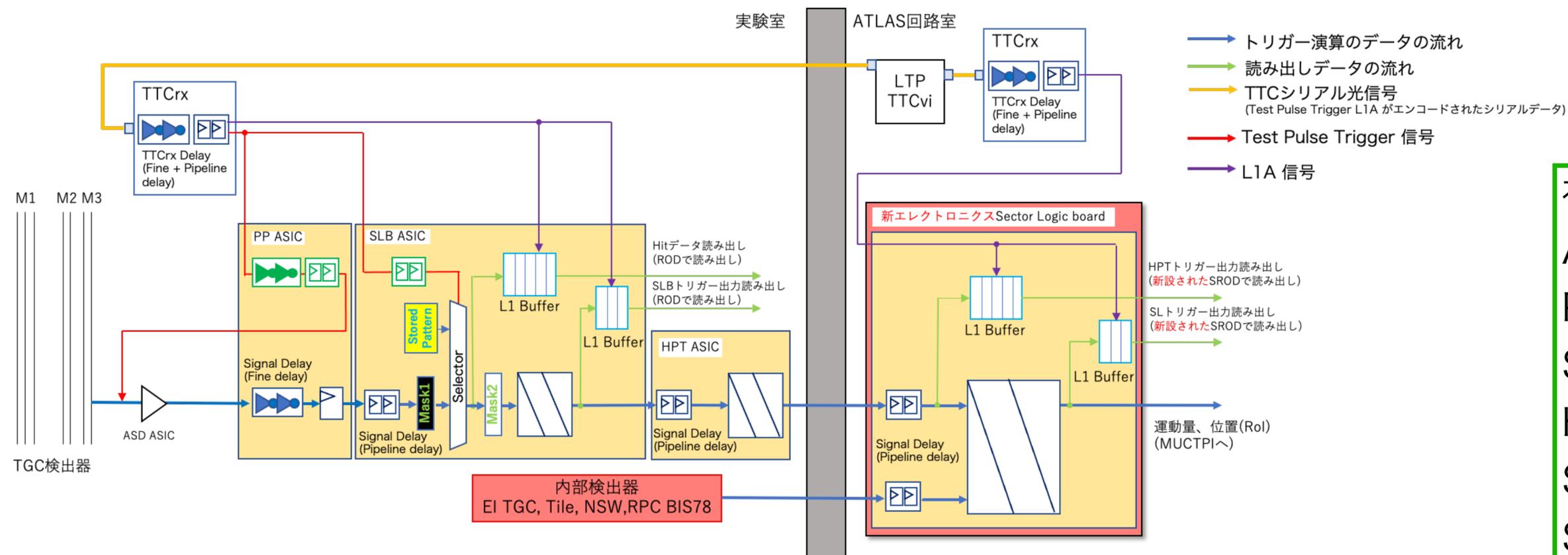


- 各段の入力には、調整可能な遅延回路(Fine: , Signal: )が設置されている。
 - 新エレクトロニクスのSL Delay等をテストパルス試験で調整を行った。
- 現在は、全てのタイミングパラメータ調整を行った上でコミッショニングを進めている。

2. トラックテストパルス試験フレームワークの構築

トラックテストパルスを用いた統合試運転

- トラックテストパルスを用いた統合試運転の目的：
 - テストパルスパターンから期待されるトリガー出力が、所定のタイミングで出力されることを試験・確認する。
 - 新エレクトロニクスを含む全デジタル回路(SLB ASIC以降)の動作検証及び正しいと思われる各タイミングパラメータ、通信リンクの包括的検証を行う。
- 本研究では、新しく導入されたエレクトロニクスやソフトウェアを含むテストパルス試験環境を開発した。



初段ミュオントリガーの規模

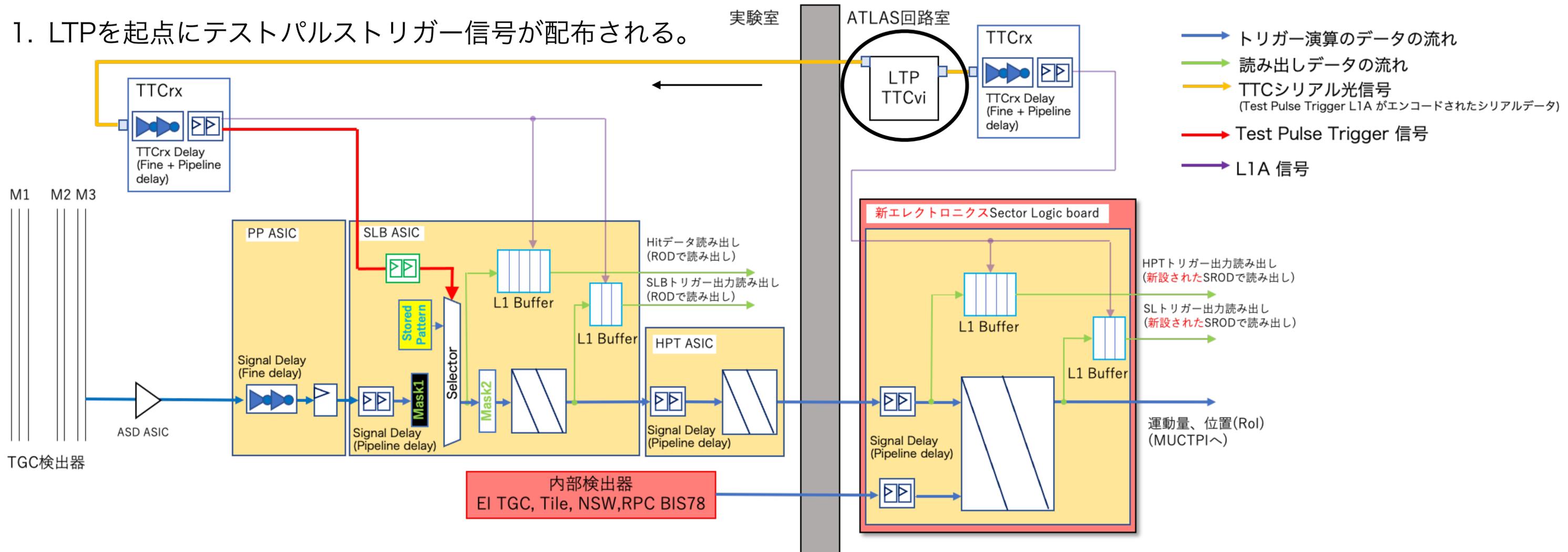
ASD ASIC	: 20016個
PP ASIC	: 10032個
SLB ASIC	: 2592個
HPT board	: 192台
SL board	: 72台
SROD	: 6台

トラックテストパルス試験の手続き

・トラックテストパルス機能:

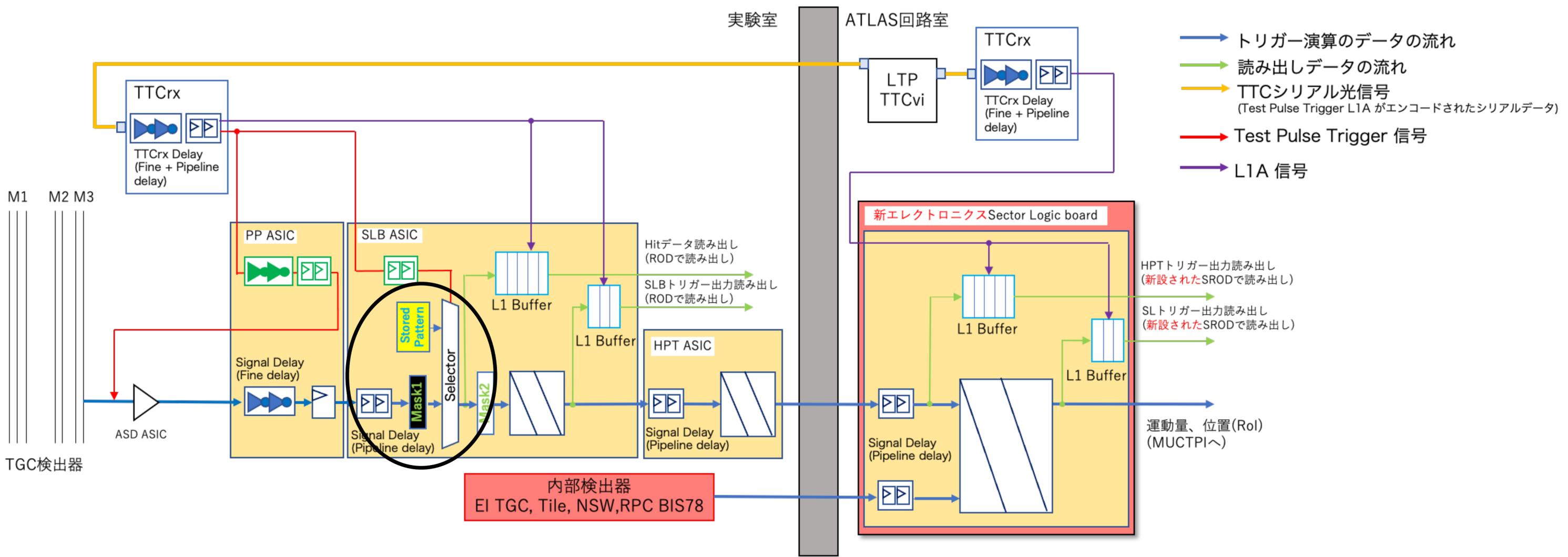
- ・ タイミングとヒットパターンを制御して特定のバンチ交差に対応するタイミングで入力する。
- ・ トリガー回路の出力とは無関係に、テストパルスのタイミングのヒット及びトリガー出力の結果を読み出すデータ収集を行う。(最終段のトリガー出力の欠け等が発見でき、トリガーロジックの検証に最適)

1. LTPを起点にテストパルストリガー信号が配布される。



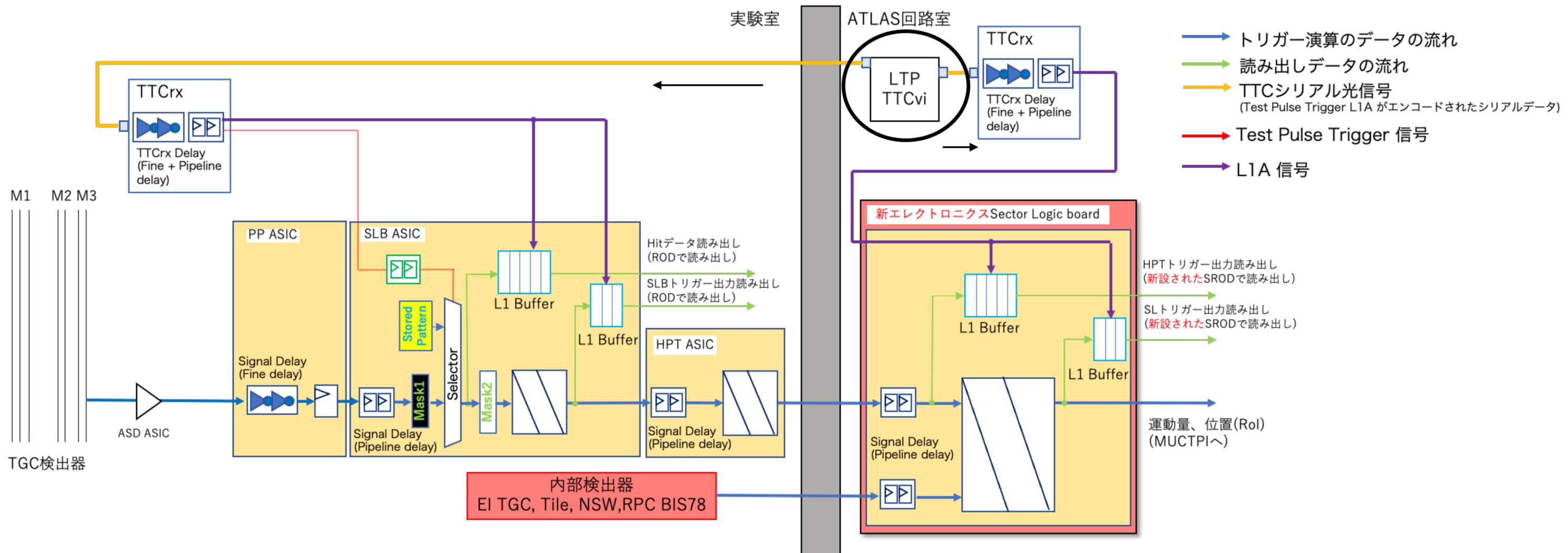
トラックテストパルス試験の手続き

2. テストパルストリガー信号を受信したタイミングでSLB ASICに設定したテストパルスパターンが、トリガーと読み出しに入力される。
 (上流からの信号はマスク機能(図中のMask 1)で遮断)



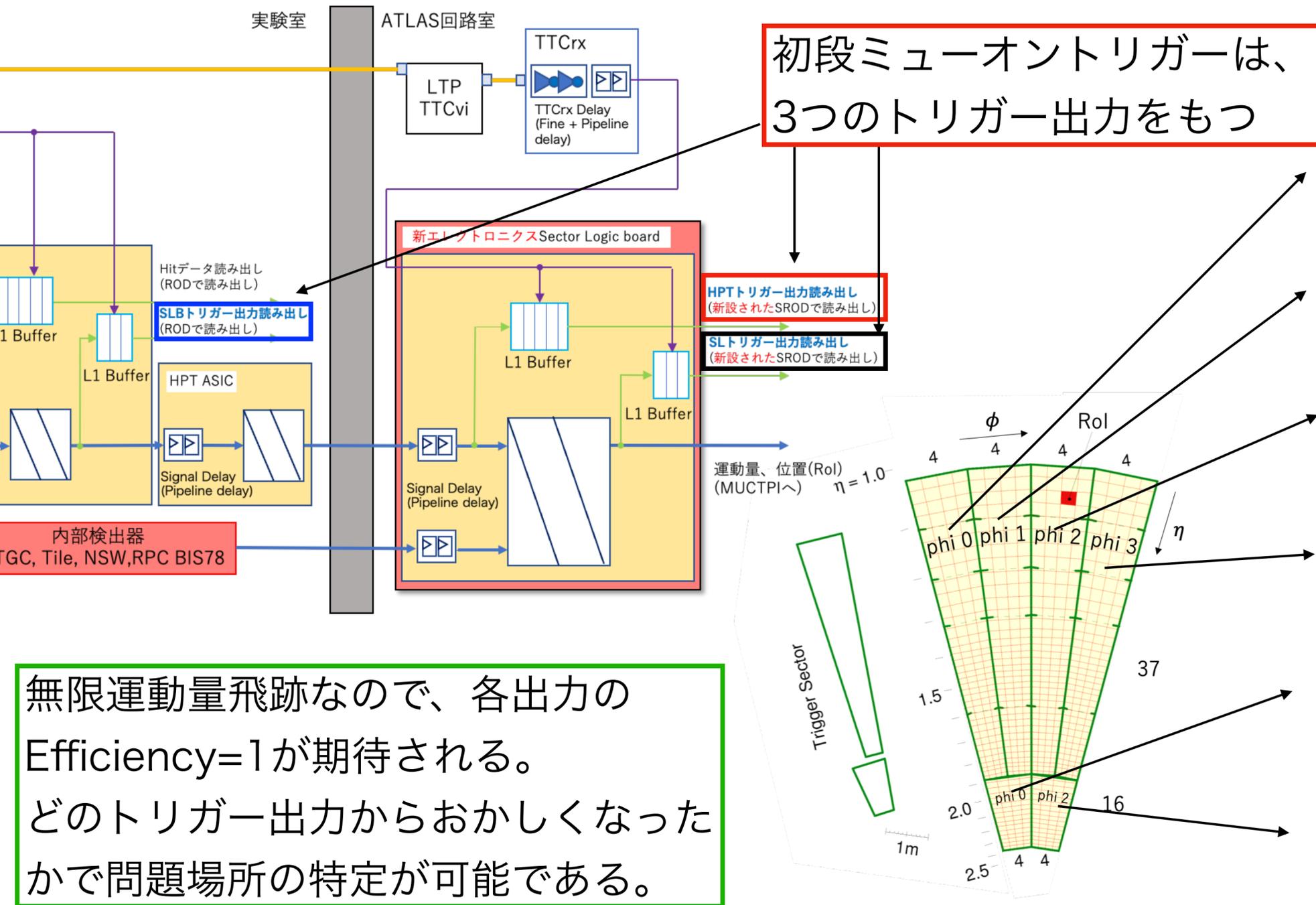
トラックテストパルス試験の手続き

3. その後、LTPを起点にL1 latencyをエミュレートするタイミングでL1A信号が配布、データが読み出される。



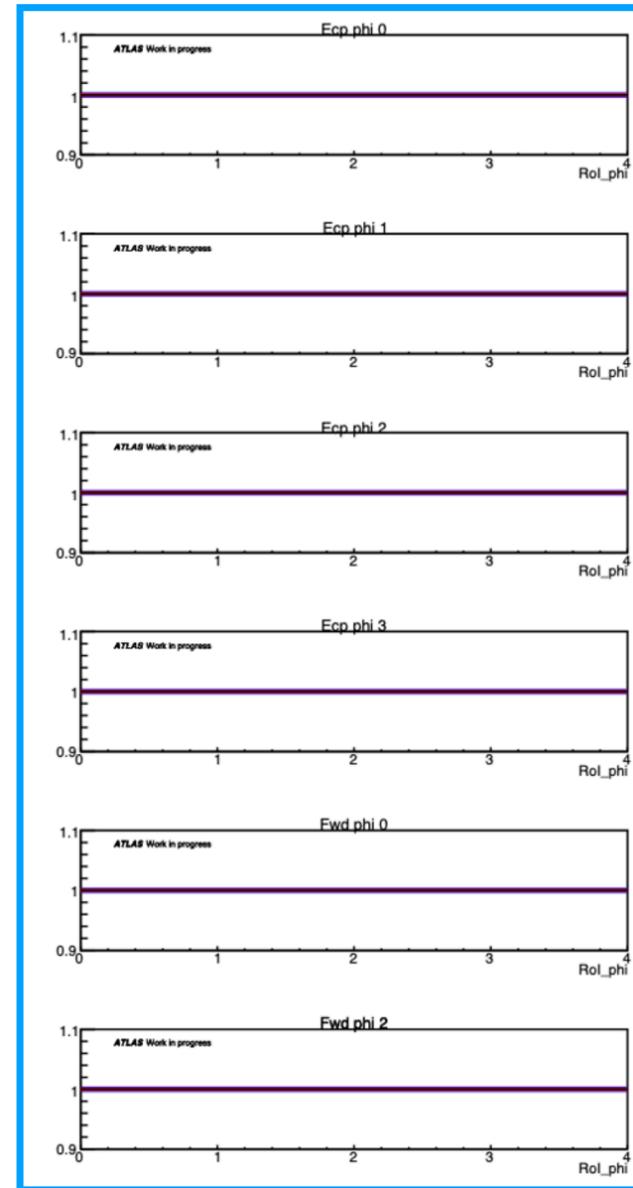
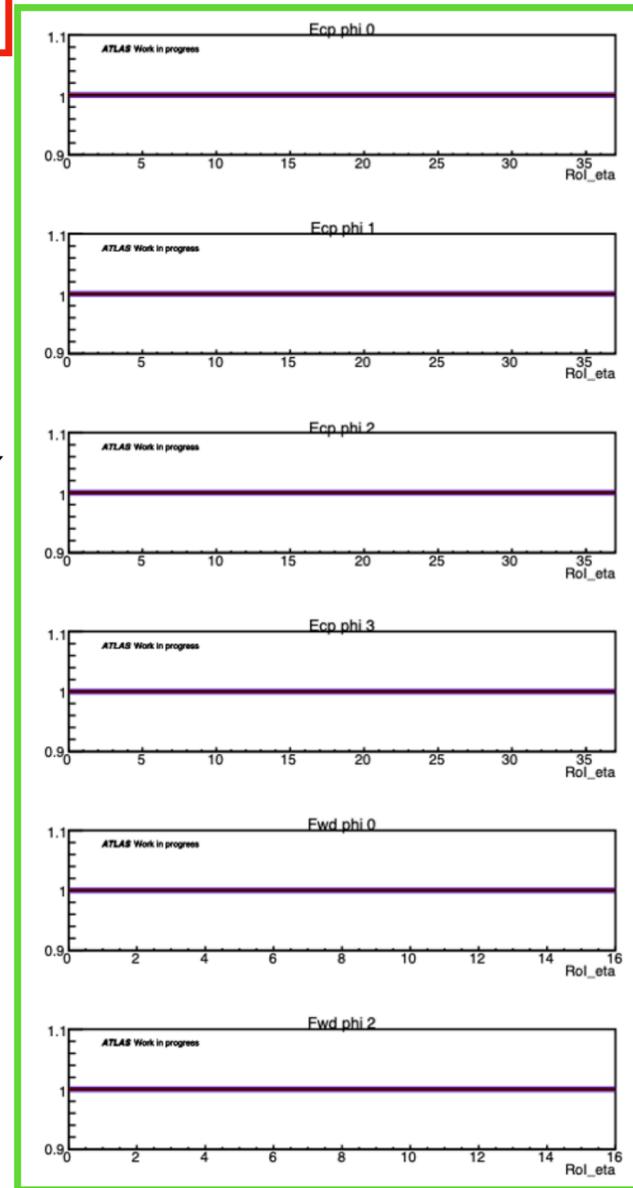
3. トラックテストパルス試験を用いた統合試運転

トラックテストパターンでのトリガー出力Efficiency



縦軸: Efficiency=各トリガー出力数/テストパルス数

Efficiency Curr A 01 Wire
ワイヤー



無限運動量飛跡なので、各出力の Efficiency=1が期待される。どのトリガー出力からおかしくなったかで問題場所の特定が可能である。

トラックテストパルスを活用した統合試運転のまとめ

各1/12セクターの様子

最近復活したエラー。スワップ試験の実施が予定。

	A01	A02	A03	A04	A05	A06	A07	A08	A09	A10	A11	A12
再配線完了	完了 (10/9)	完了 (10/9)	完了 (10/7)	完了 (10/7)	完了 (10/7)	完了 (10/12)	完了 (10/12)	完了 (10/7)	完了 (10/7)	完了 (10/7)	完了 (10/9)	完了 (10/9)
トラック TP 完璧	調査中(22/2/15)	完了 (10/15)	完了 (10/15)	完了 (10/27)	完了 (10/19)	完了 (10/19)	完了 (11/5)	完了 (11/3)	完了 (10/15)	完了 (11/3)	完了 (12/16)	完了 (10/15)

	C01	C02	C03	C04	C05	C06	C07	C08	C09	C10	C11	C12
トラック TP 完璧	完了(12/16)	完了 (10/5)	完了(22/2/7)	完了(12/16)	完了(22/2/4)	完了 (10/19)	完了 (11/3)	完了(22/2/4)	完了 (10/5)	調査中(11/5/FE)	完了(22/2/7)	完了 (10/5)

↑
設置場所が現在アクセスできない。

統合試運転によりエンドキャップ初段ミュオントリガーのハードウェアからソフトウェアに及ぶ各種問題をもれなく発見し、問題箇所を特定する事ができ、トリガーシステムのコミッショニングを大幅に加速できた。

残るハードウェアの問題も問題箇所が特定され、しかるべく対処の予定が既に組まれている。

全てのエレクトロニクス、ケーブリングの不調の修正をRun 3開始までに遅延なく完了し、Run 3開始後におけるミュオントリガーの最高性能での運用を実現する。

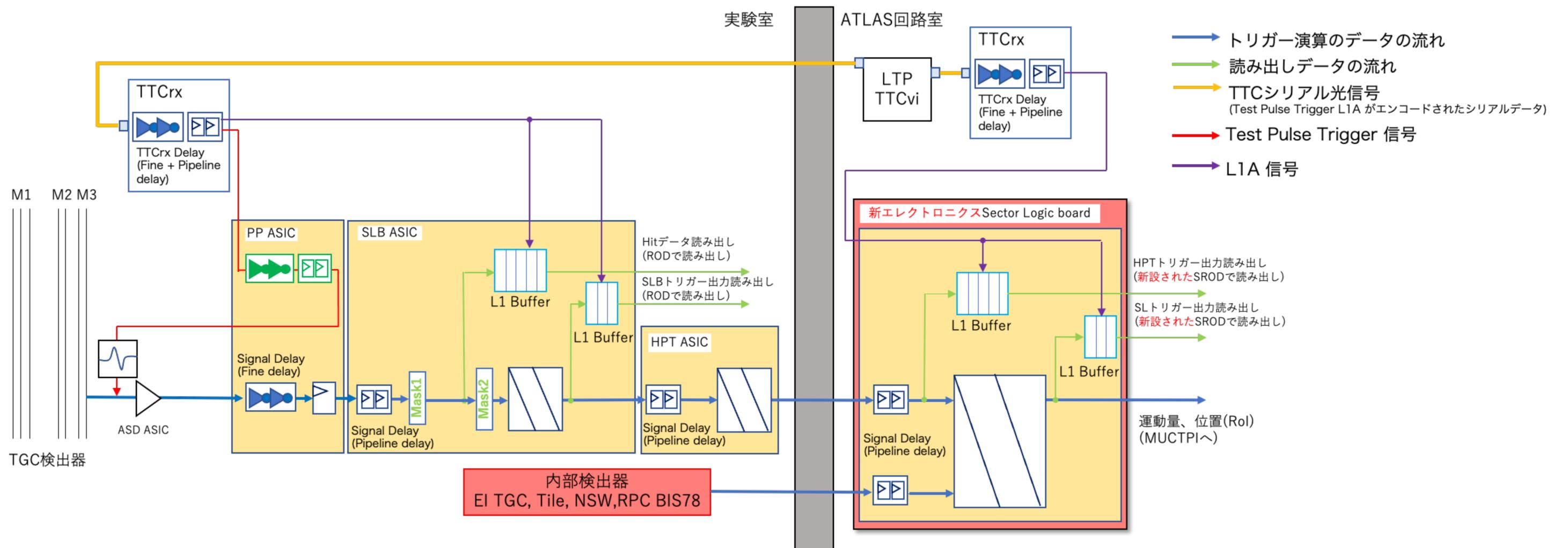
3. Run 3開始後のシステム診断フレームワーク

Run 3開始後のシステム診断フレームワーク

- トリガーシステムの性能を維持して運用するには、時々刻々と変化する以下の把握が重要。
 - デジタル回路の不良箇所
 - トリガーシステムの不感領域を発生させうるMissing Channel
 - 読み出しの通信帯域を奪い、本物のミュオン飛跡の検出の妨げにもなるNoisy Channel
- Run 3開始後、LHCのビームダンプ後に各検出器のテスト時間(30-40分)が存在。
 - 限られた時間を活用し、上の3つの項目の把握を行いたい。
- Run 3開始後のシステム診断フレームワーク
 - デジタル回路の包括的な動作検証を行うトラックテストパルス試験
 - Missing Channelの調査を行う全読み出し系の試験、ASDテストパルス試験
 - Noisy Channelの調査を行うランダムトリガー試験

Missing Channelを把握するためのASDテストパルス試験の手続き

1. LTPを起点にテストパルストリガー信号が配布される
2. テストパルストリガー信号を受信したタイミングでPP ASIC上でパルス信号を生成し、ASD ASIC上の増幅器等で検出器からの信号を模した試験電荷に変換し、ASDに入力する。

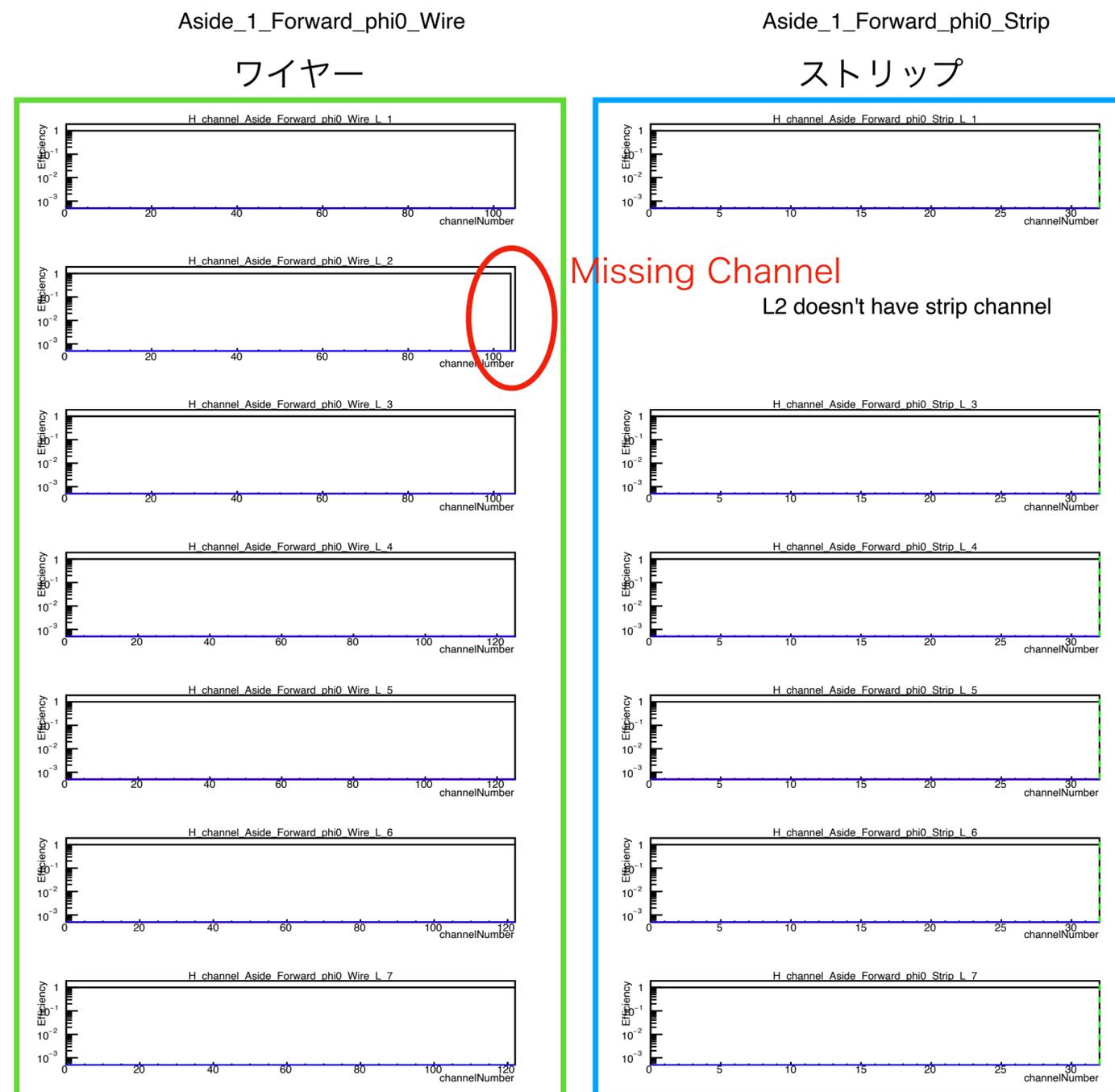


3. その後、LTPを起点にL1 latencyをエミュレートするタイミングでL1A信号が配布、データが読み出される。

ASDテストパルス試験でのHit EfficiencyとMissing Channel判定

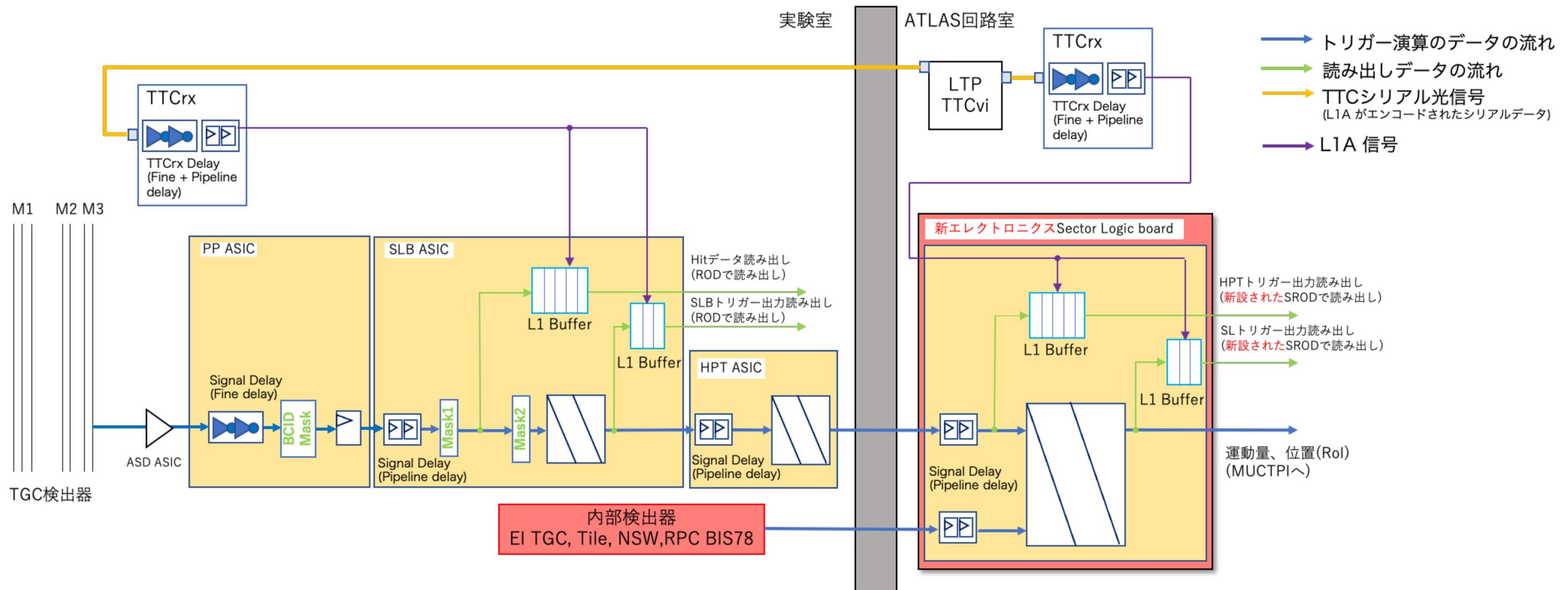
- 各プロット
 - 横軸: チャンネル番号
 - 縦軸: Efficiency=当該チャンネルのHit数
÷テストパルス回数
 - 全チャンネルを読み出す。
 - 期待されるEfficiency=1
- Missing Channel
 - 判定: Efficiencyが70%以下
- これによりMissing Channelは常に把握される。
トリガー効率に重大な影響がある箇所は
トリガー論理を緩める等の対応をして
効率の低下を防ぐ。

TGC BW
7層



ランダムトリガー試験の概要

1. LTPを起点にランダムなタイミング(L1A rate= 1 kHz)でL1A信号が配布され、データ収集が行われる。
テストパルストリガー信号は、配布されない。



ランダムトリガー試験でのNoise rateとNoisy Channel判定

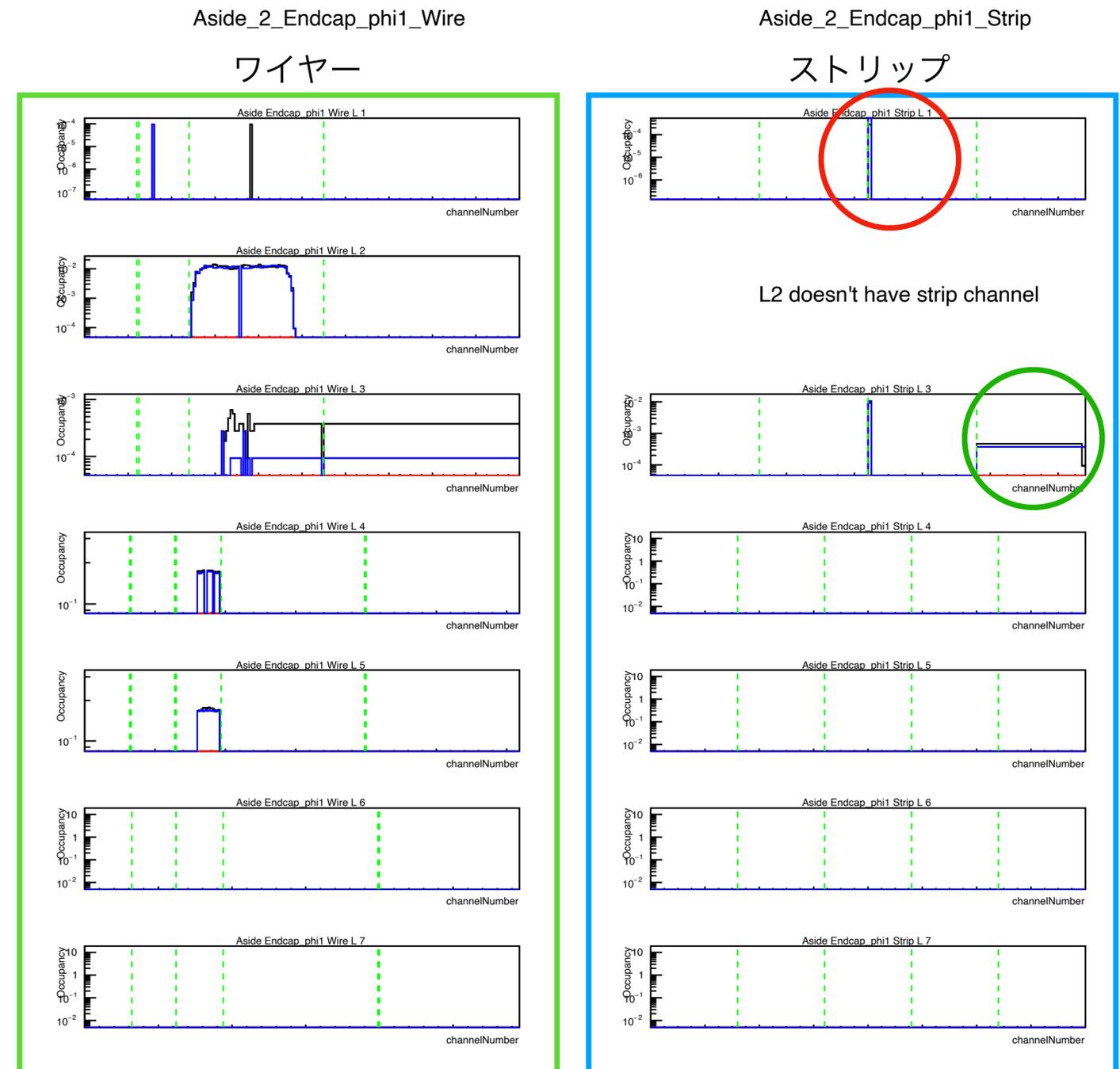
- 各プロット

- 赤: Previous BC、黒: Current BC、青: Next BC
- 横軸: チャンネル番号
- 縦軸: Occupancy=当該チャンネルのエントリー数
÷全事象数

- Noisy Channel

- 判定: Occupancyが 10^{-4} 以上
- これによりNoisy Channelは常に把握される。
基本的に最上流のマスク機能で信号を遮断し、
読み出しの通信帯域を確保する。

TGC BW
7層

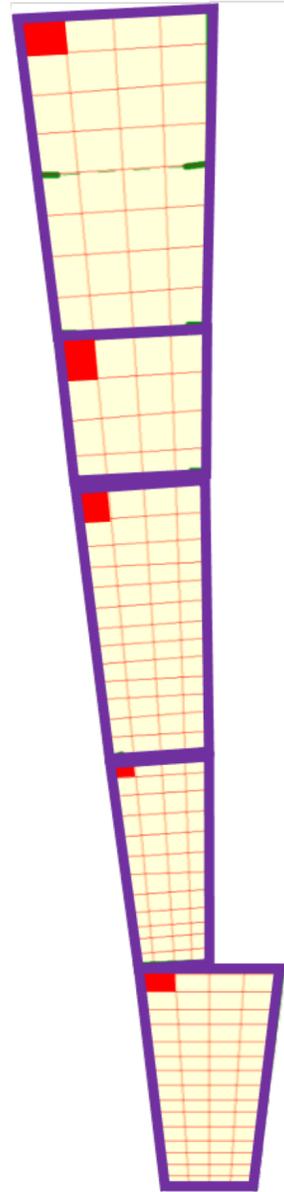


まとめ

- 本年4月開始のRun 3に向けて、新たなエレクトロニクスを含んだ初段ミュオントリガーの最高性能での運転を目指し、そのシステムの調整が喫緊の課題である。
- トラックテストパルスを活用した統合試運転により、初段ミュオントリガーのハードウェア、ファームウェア、ソフトウェアに及ぶ問題箇所が発見・特定、及び修正が大幅に加速し、Run 3開始後、万全な状況で運用できる準備が着々と進んでいる。
- Run 3開始後のシステム診断フレームワークを構築した。
 - 定期的にミュオントリガーを試験し、誰でも問題箇所の特定が行える環境を整えた。
 - 試験の解析も自動で行い、その結果もすぐに確認できる環境を整えた。
 - これにより、問題箇所へしかるべく対処を行うことができ、トリガーシステムの性能をなるべく維持して運用することが可能になった。

Backup

全RoIスキャンフレームワーク



全てのRoI分のトラックを一度に入力することはできない。

以下の点に留意し、一度に複数のトラックを入力することで効率的な試験を実現

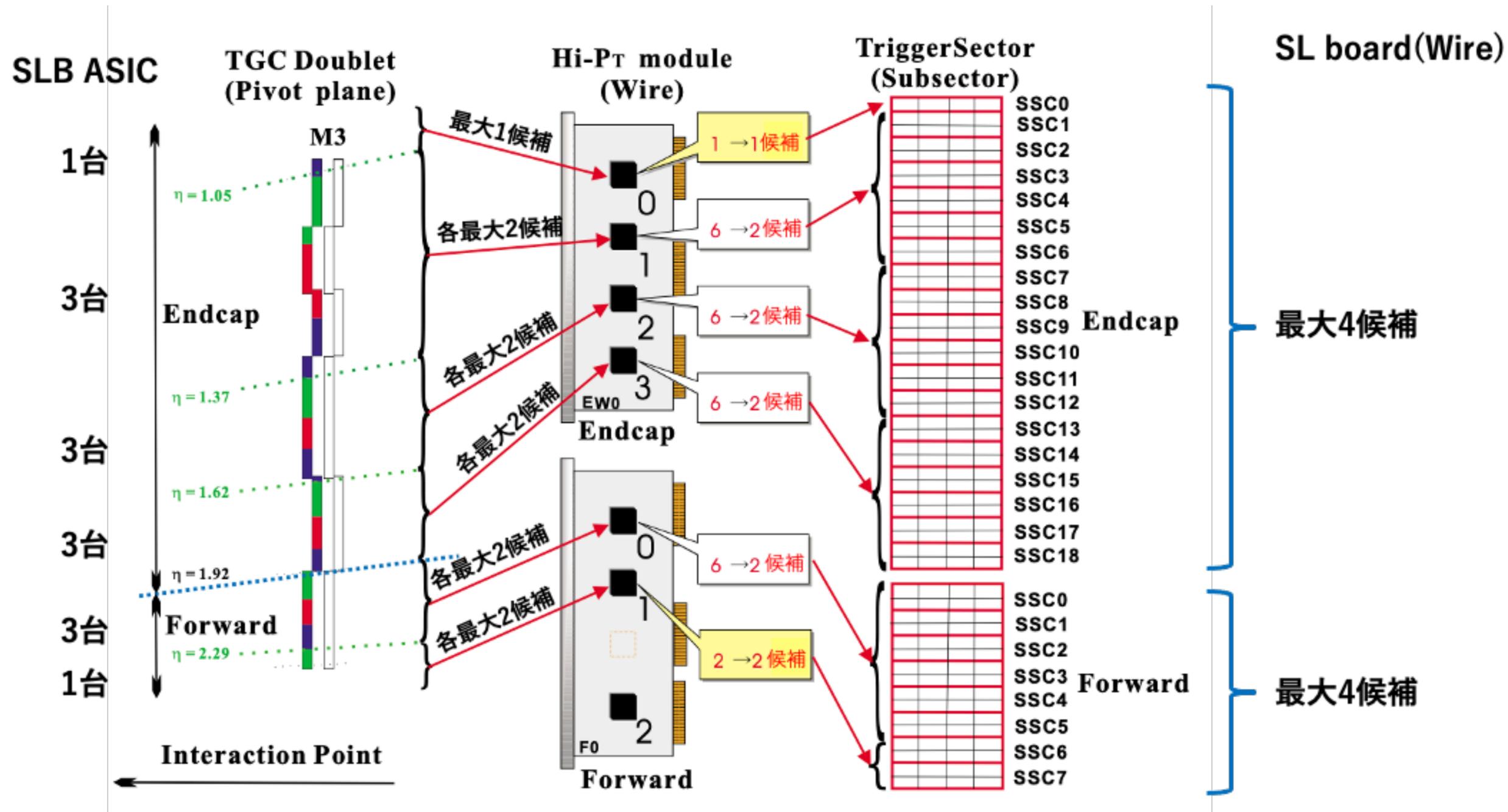
- η/ϕ コインシデンスにおけるゴーストが生じないように
- 各段階トリガー出力の候補数の上限

に注意し、左図の紫の区画に最大1つのトラックパターンを埋めて次々に変更することで、全RoIスキャンのフレームワークを作成した。

トラックテストパルス試験のフレームワークの構築は完了した。

またトラックテストパルス試験用の解析フレームワークの構築も行った。

各段のトリガー候補の上限



全RoIスキヤンの読み出しの様子

下の図は2つのTrack test patternを同時に打った際のHit profileである。

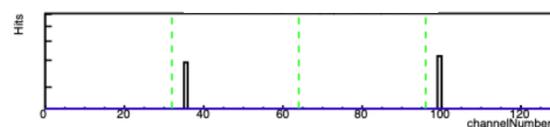
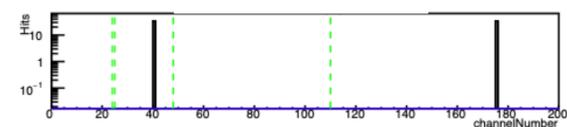
横軸: Online Channel,

Wire

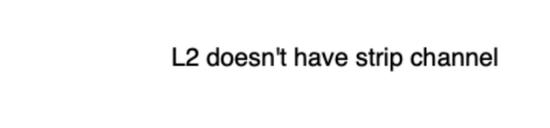
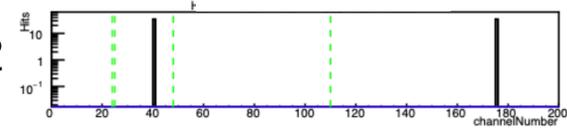
ATLAS Work in progress

Strip

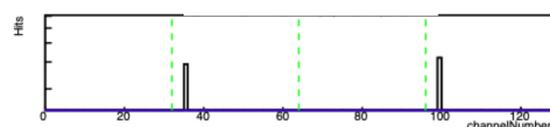
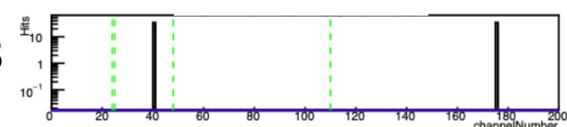
Layer 1



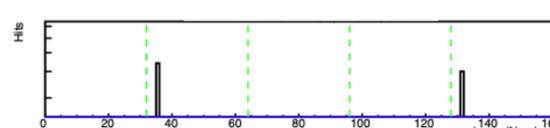
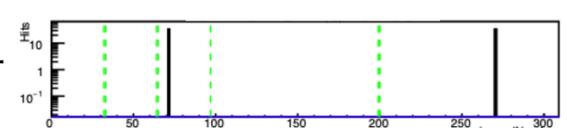
Layer 2



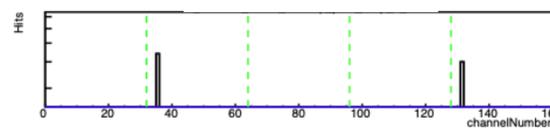
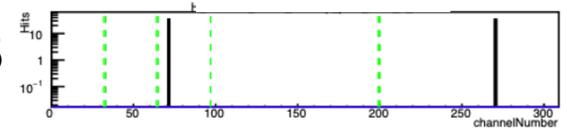
Layer 3



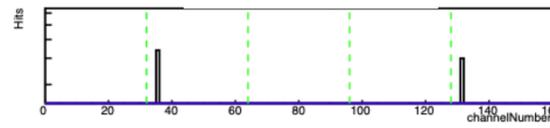
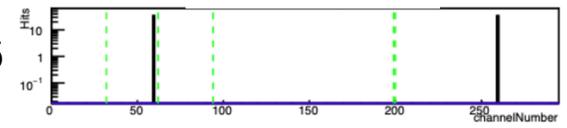
Layer 4



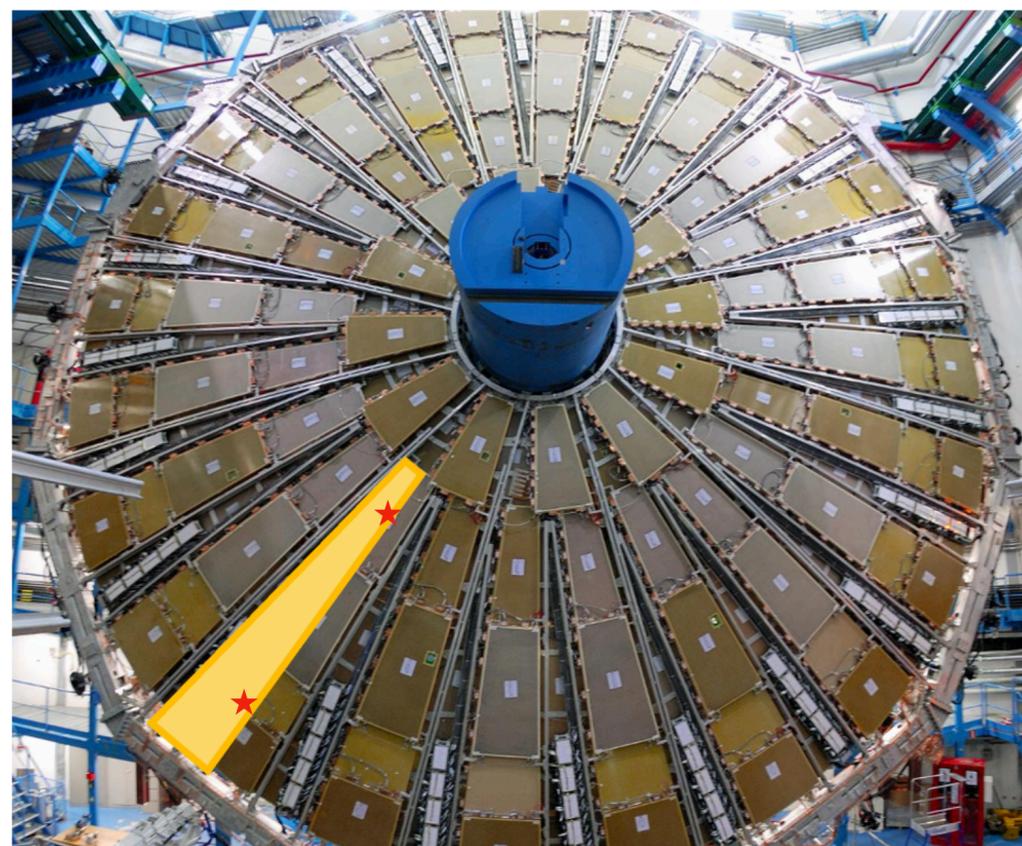
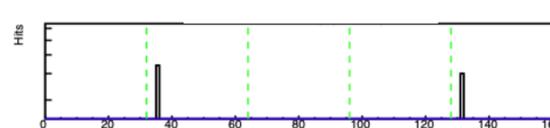
Layer 5



Layer 6

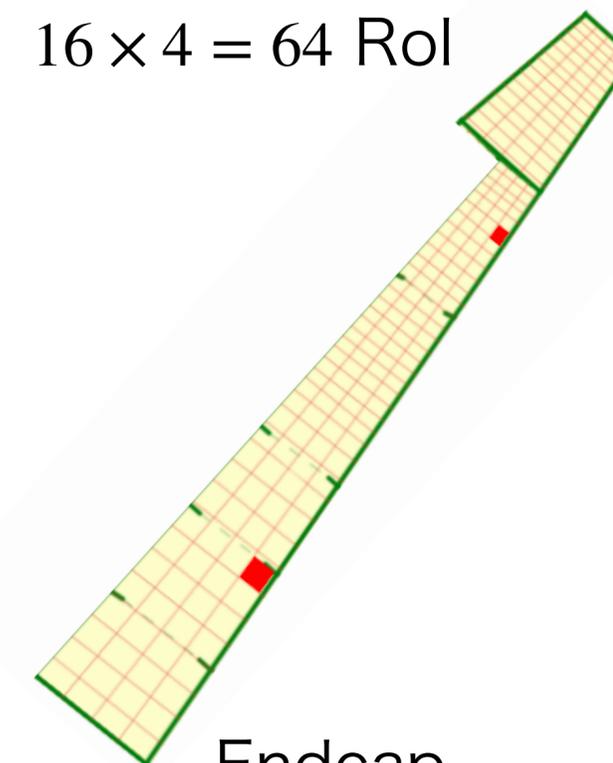


Layer 7



Forward

16 × 4 = 64 RoI



Endcap

37 × 4 = 148 RoI

Endcap 全 148 パターン, Forward 全64 パターンを精査し、予定通り打たれていることを確認し、全RoIをスキヤンするフレームワークは正しく動作していることを確認できた。

トリガーのタイミングの確認

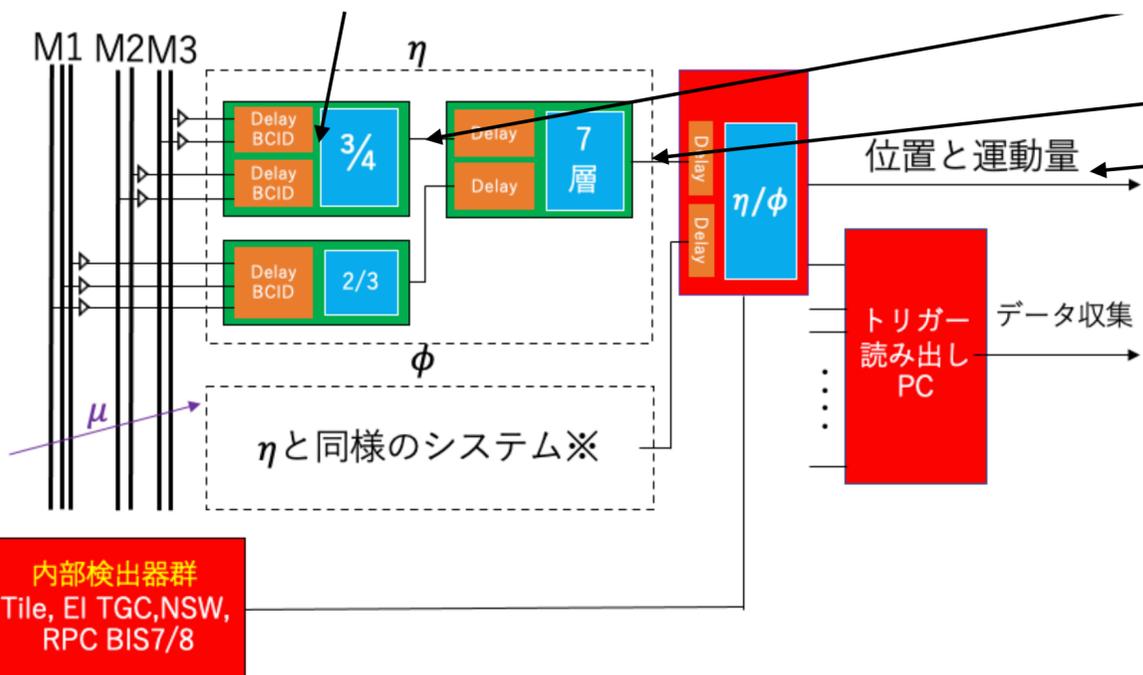
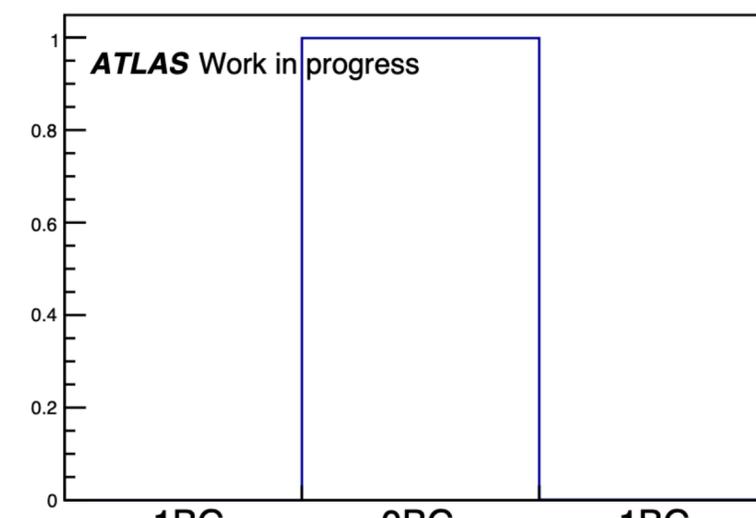
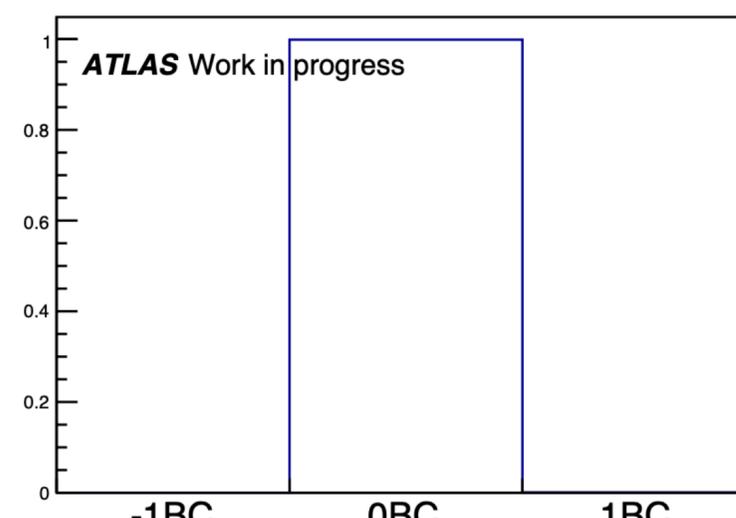
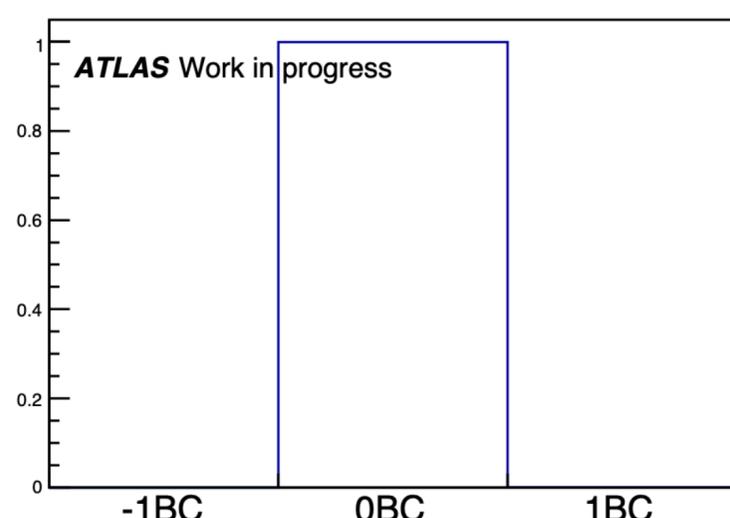
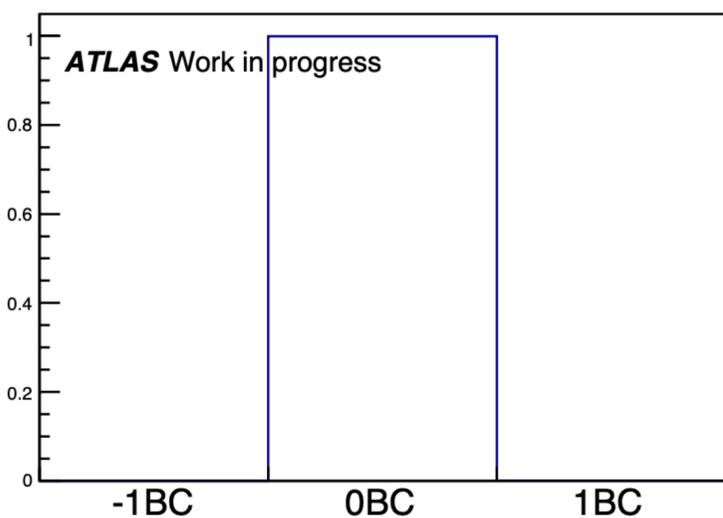
横軸: テストパルスとの差, 縦軸: 規格化したエントリー数

Hit

3/4コインシデンス出力

7層コインシデンス出力

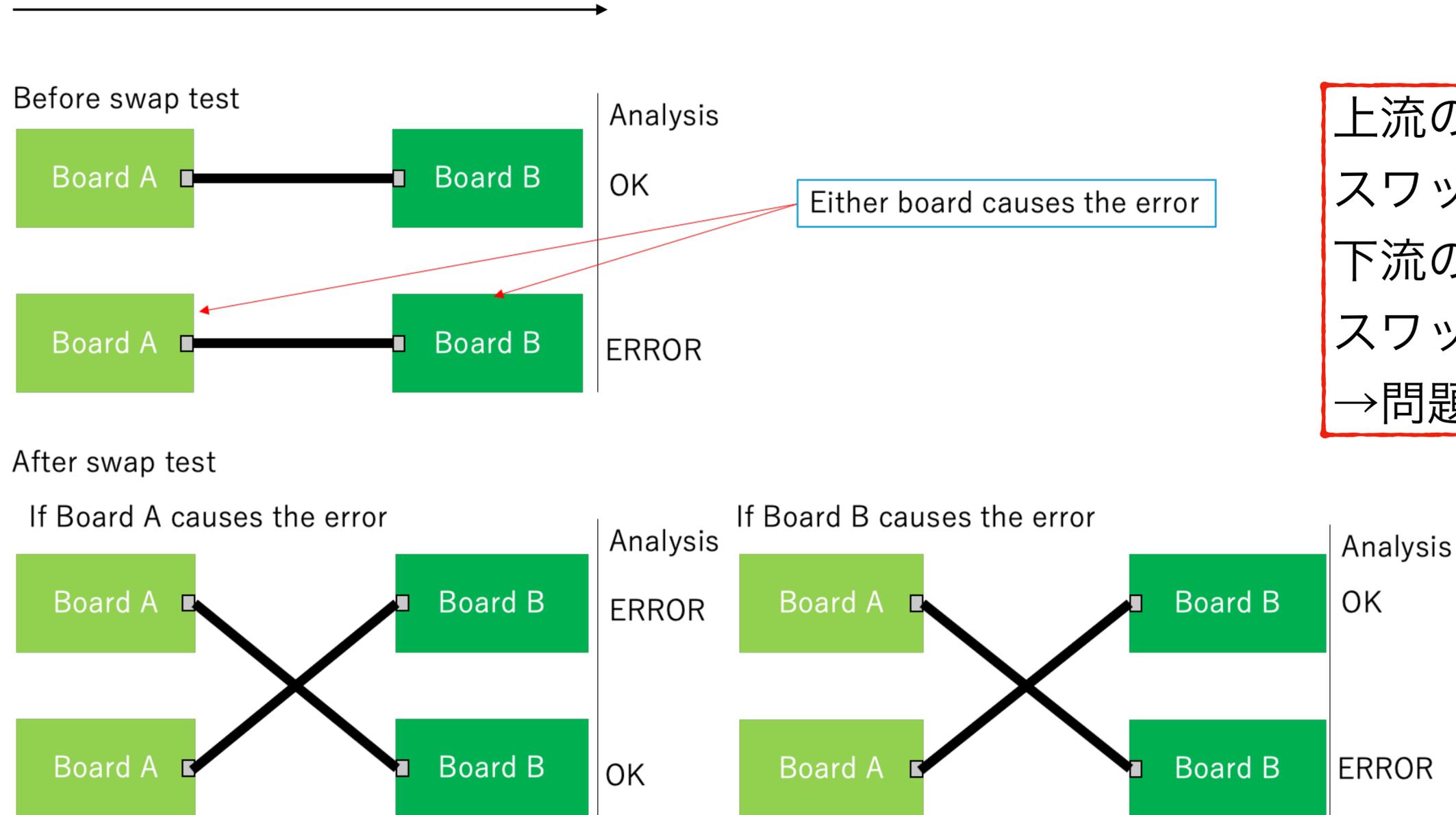
η/ϕ コインシデンス出力



- 各段のコインシデンス回路からの出力を、すべて期待されるタイミングで確認
- トリガーパス中のタイミングのパラメータが適切に設定されていること、また、安定したFixed Latencyでの通信が実現できていることを実証。

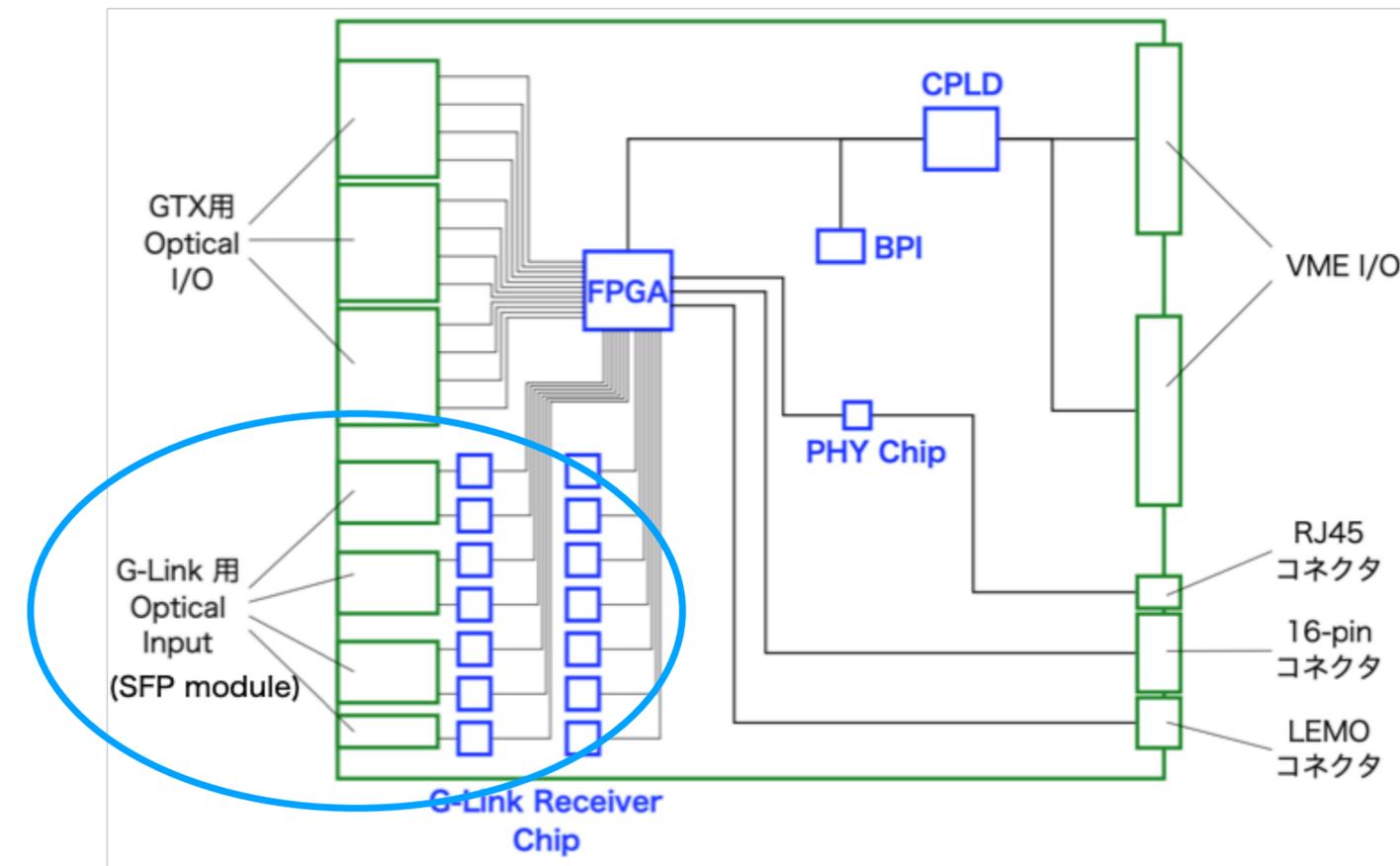
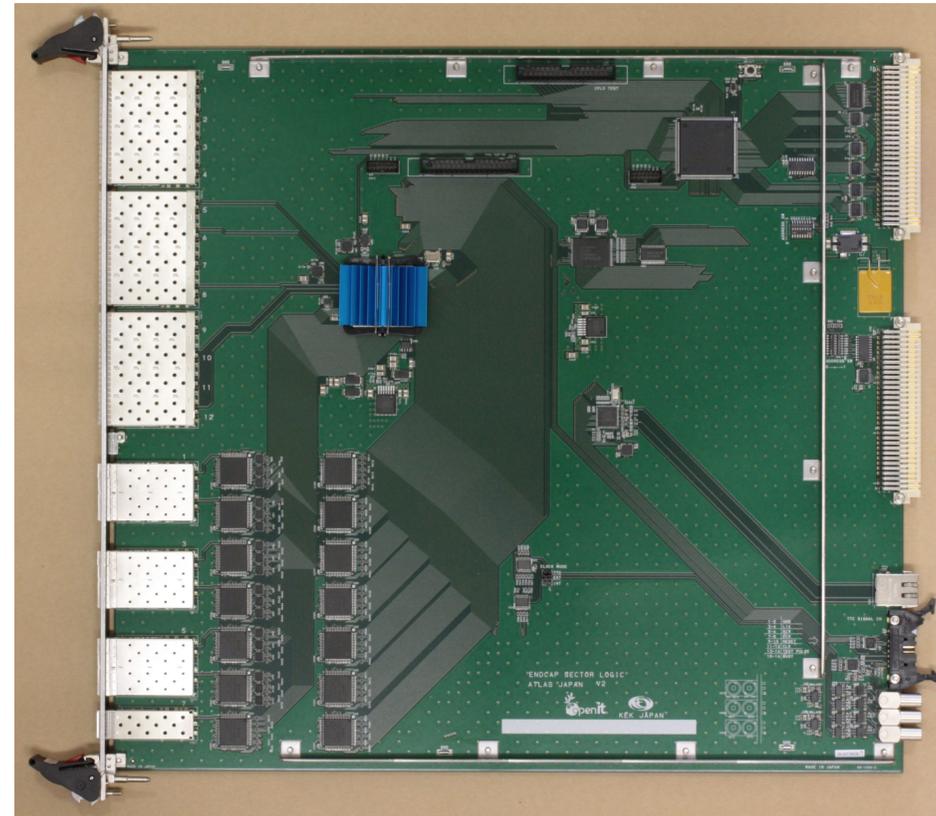
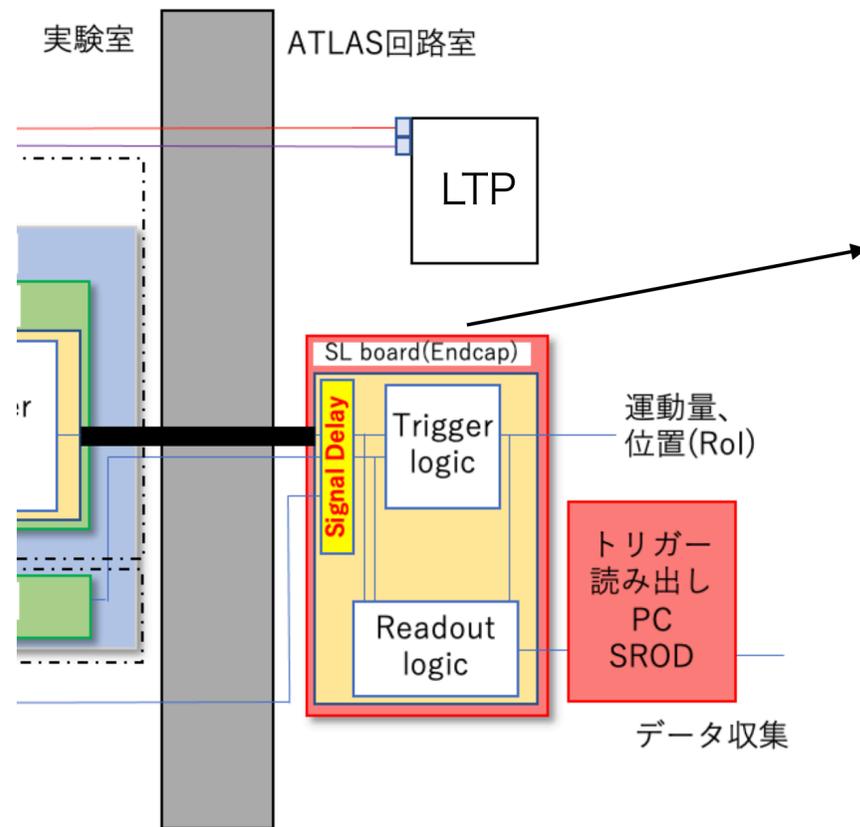
スワップ試験の概要

データの流れ



上流のボードが問題の原因だった場合
スワップ試験後エラー箇所が移動し、
下流のボードが問題の原因だった場合
スワップ試験後エラー箇所が移動しない
→問題箇所の切り分けができる。

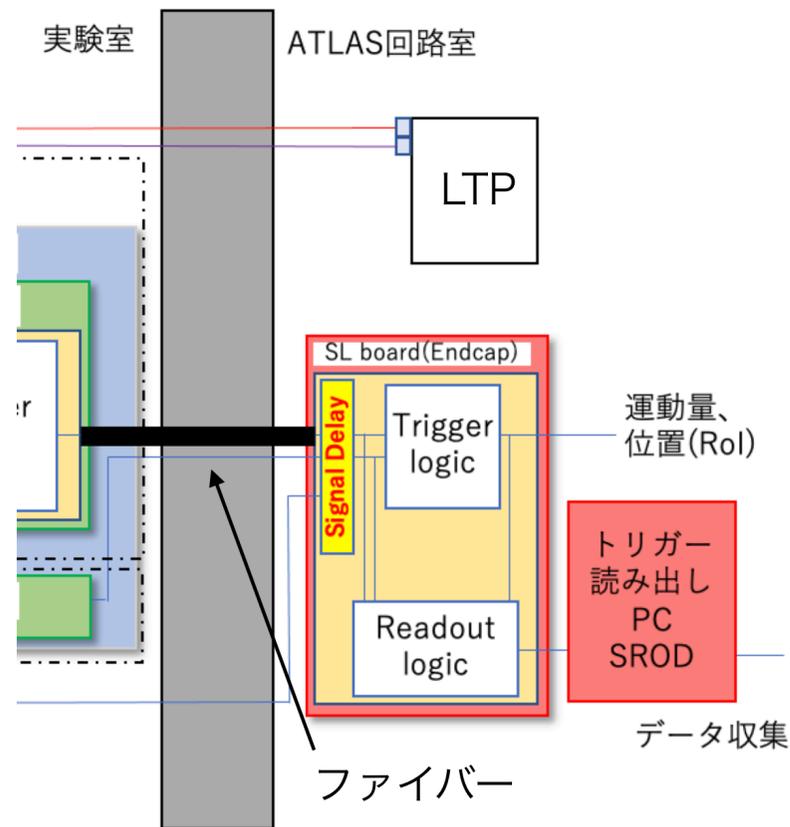
Sector Logicボードの概要



Run 3で導入される η/ϕ コインシデンス
+内部検出器コインシデンスボード

Sector Logicボードは、G-link光信号線で、TGC BWからの信号を受け取る。

Sector LogicのSignal Delay調整

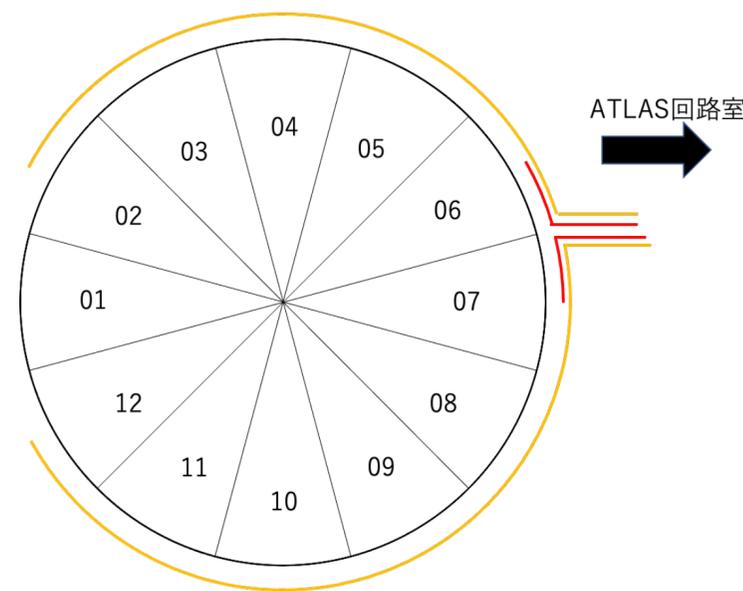


TGC BWからの**全てのG-link信号線にトラックパターンが入るもの**を使用し、TGC BWの全てのSignal Delayを調整する。

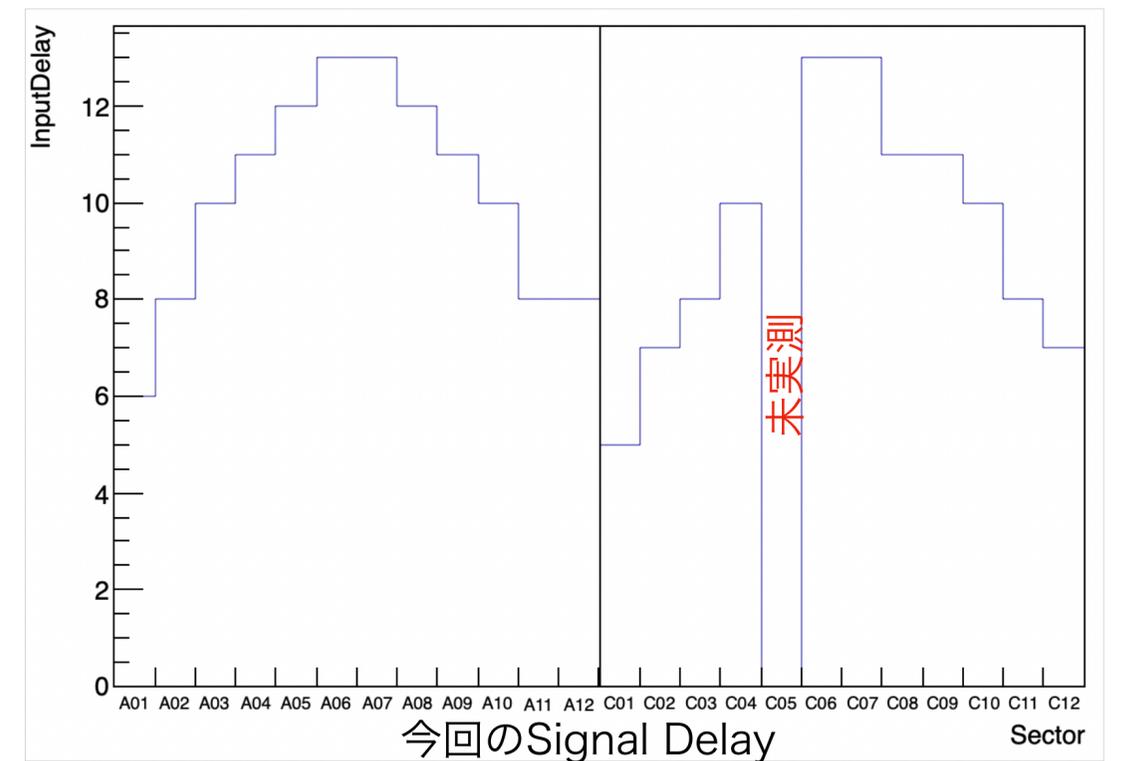
SL内のFPGA内にSLの入力、トリガー回路内の途中計算、読み出し回路中のバッファ内の様子をプローブするスパイバッファを設置した。

1. TGC BWの信号が期待されるタイミングで全SLで、同一タイミングでトリガー回路に入力されるように適切なSignal Delayを掛けた。
2. トリガー回路、読み出し回路で期待されるタイミングで期待されたものが見えているか確認した。

TGC検出器のファイバーが短い場所ほど、Signal Delayを大きくし、全てのSLが同時にTGC BWからの信号を受け取る。Signal Delayを調整したことで、SLの入出力を読み出せるようになった。



各セクターのファイバーの様子

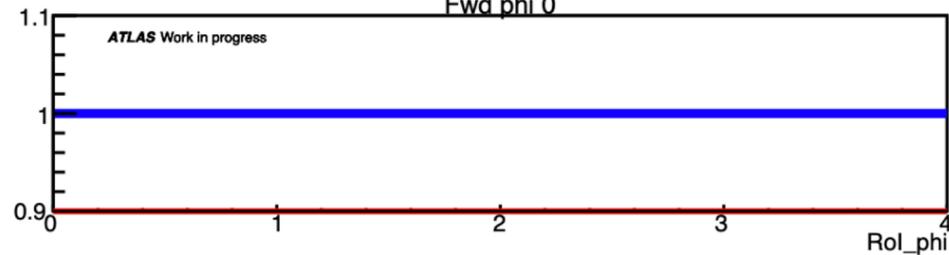


ハードウェア問題1,2の発見

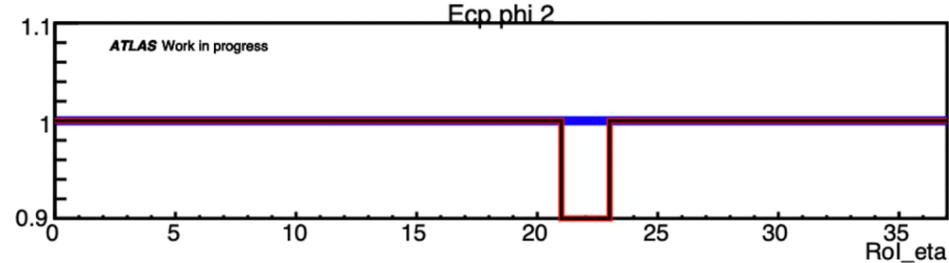
Rol Profile 青: SLB出力, 赤: HPT出力, 黒: SL出力

1 HPT, SL出力が確認されない

例1 トリガーセクター全体でHPT,SL出力が確認されない

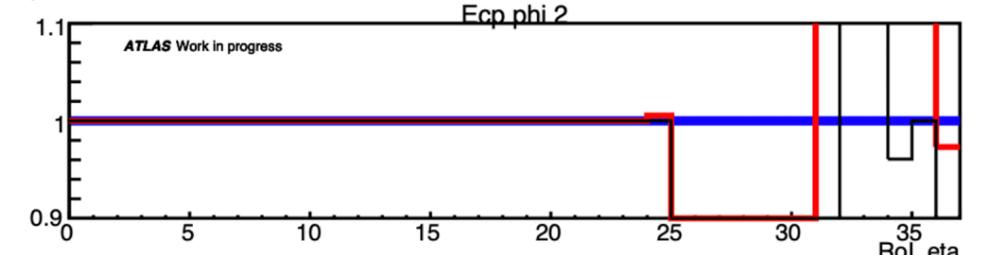


例2 一部の場所でHPT,SL出力が確認されない

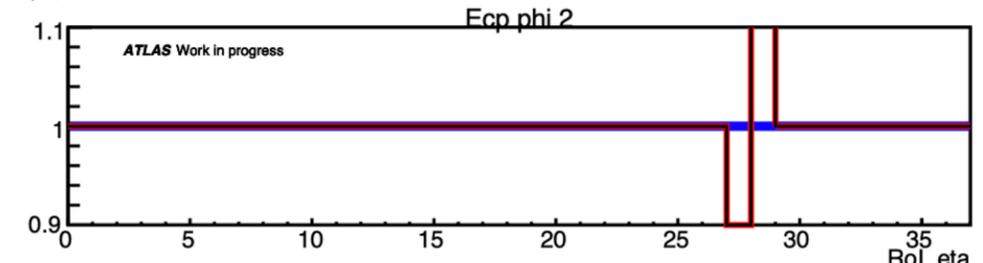


2 HPT入出力の相関がおかしい

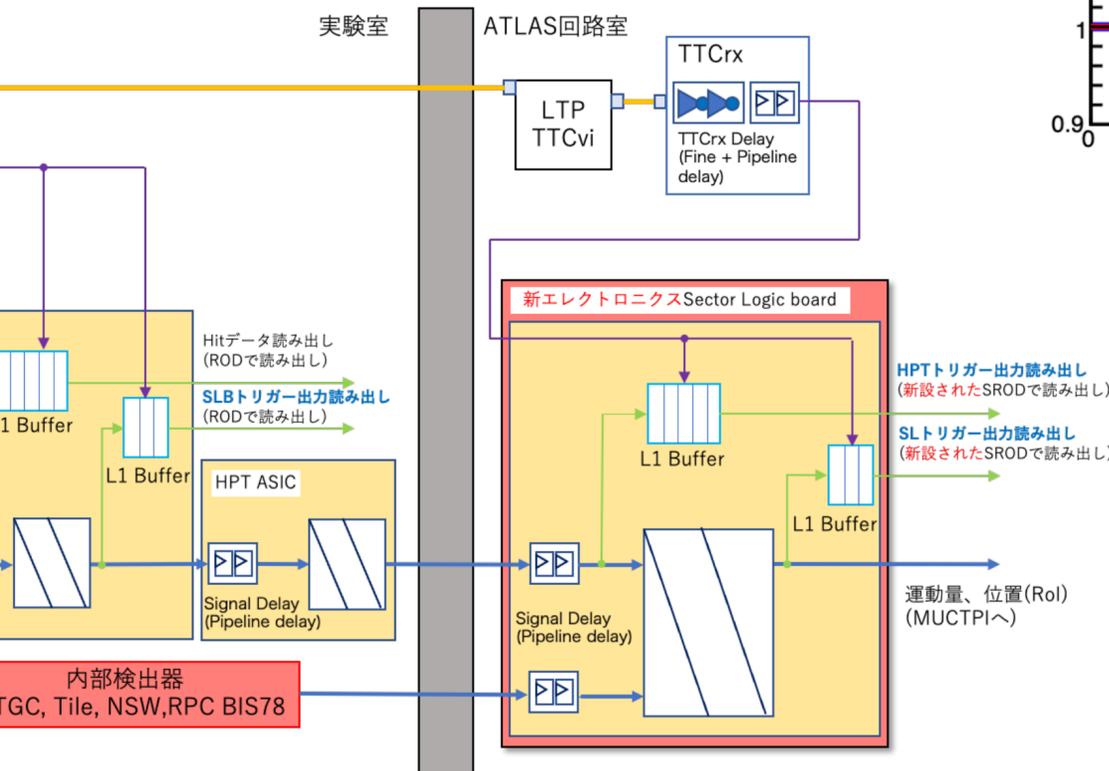
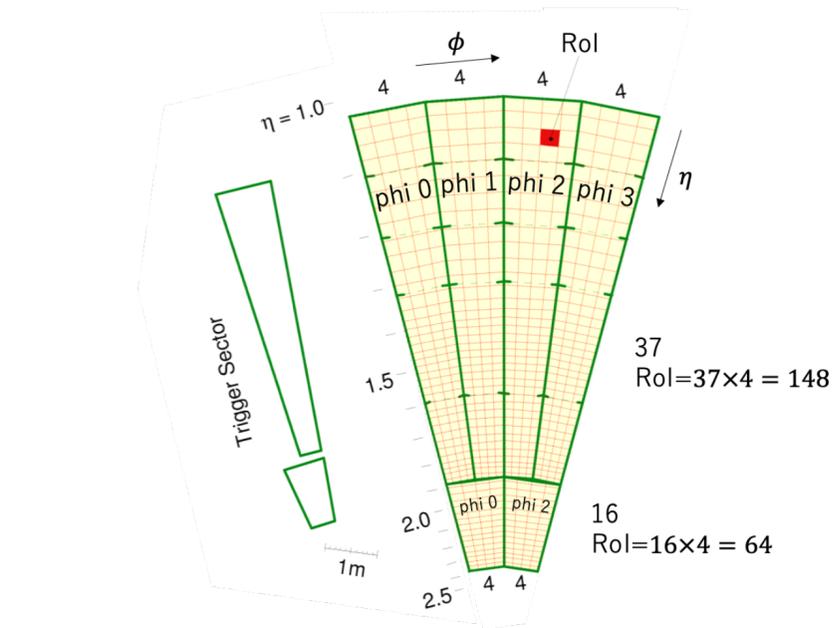
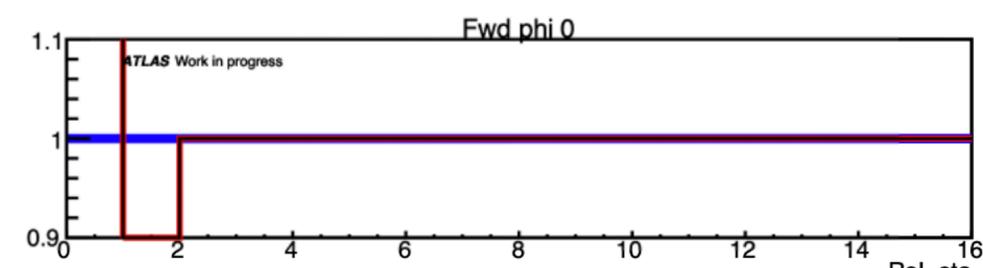
例1 広範囲でHPT入出力の相関がおかしい



例2 一部でHPT入出力の相関がおかしい



例3 一部でHPT入出力の相関がおかしい

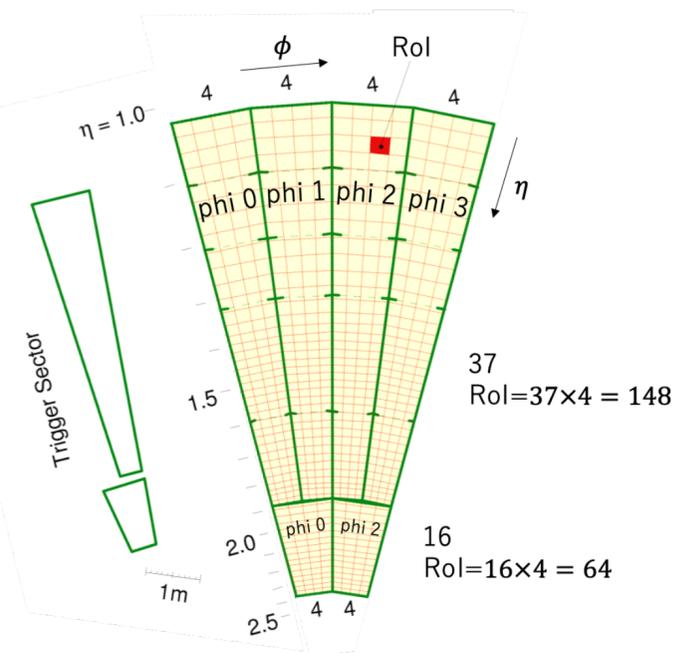


HPT、SL出力が確認されない問題箇所(1の例1, 2)及びHPT入出力の相関がおかしい(2の例1,2,3)問題箇所を発見した。

ハードウェア問題 1,2の解決

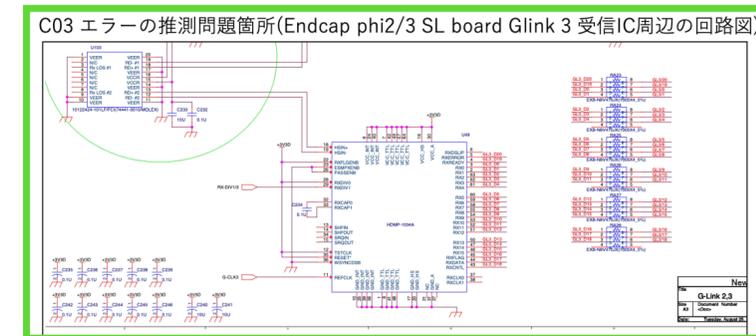
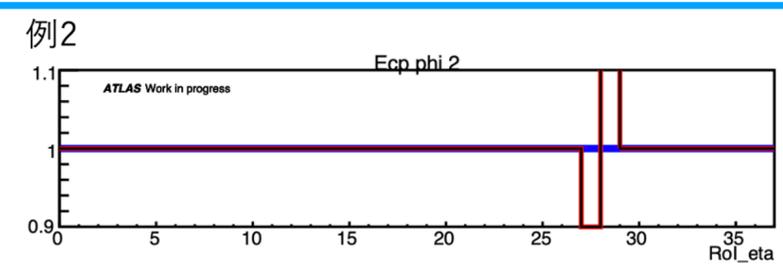
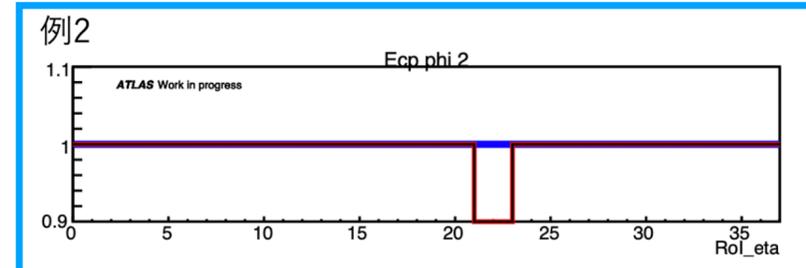
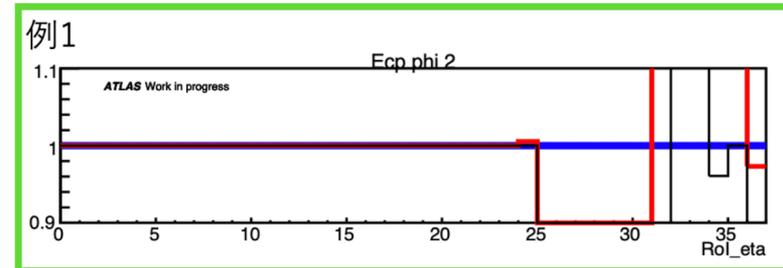
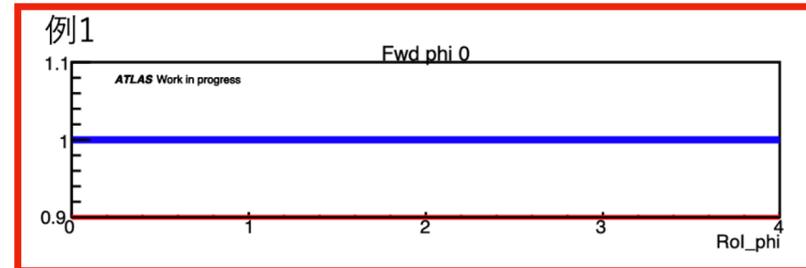
SLのフロントパネルに該当のファイバーが挿さっていなかった。

スワップ試験でSL側と判明。
SLボードの交換をして、解決。
SLボード内の受信ICの故障と推測

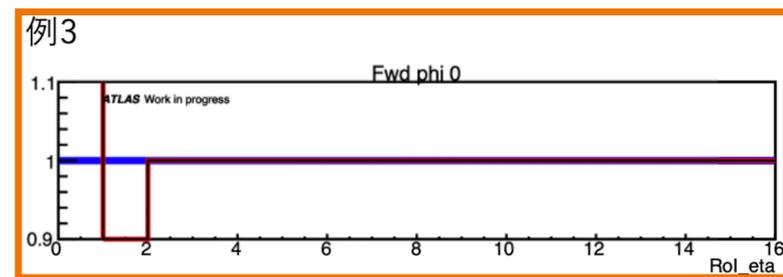


1 Rol Profile 青: SLB出力, 赤: HPT出力, 黒: SL出力
HPT, SL出力が確認されない

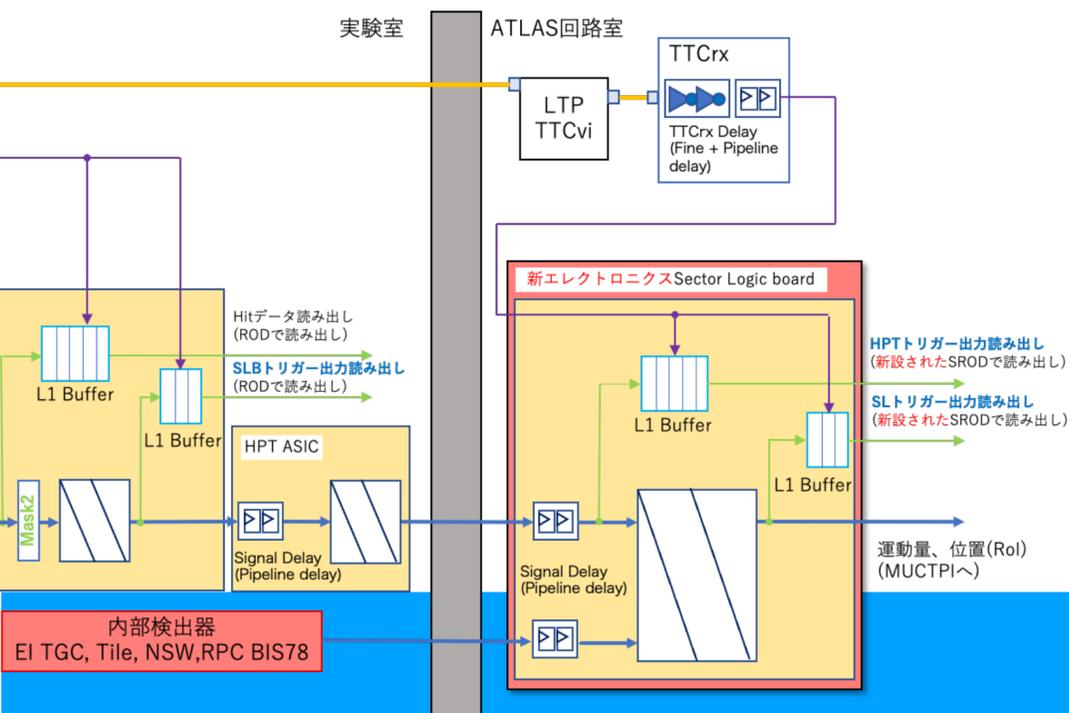
2 HPT入出力の相関がおかしい



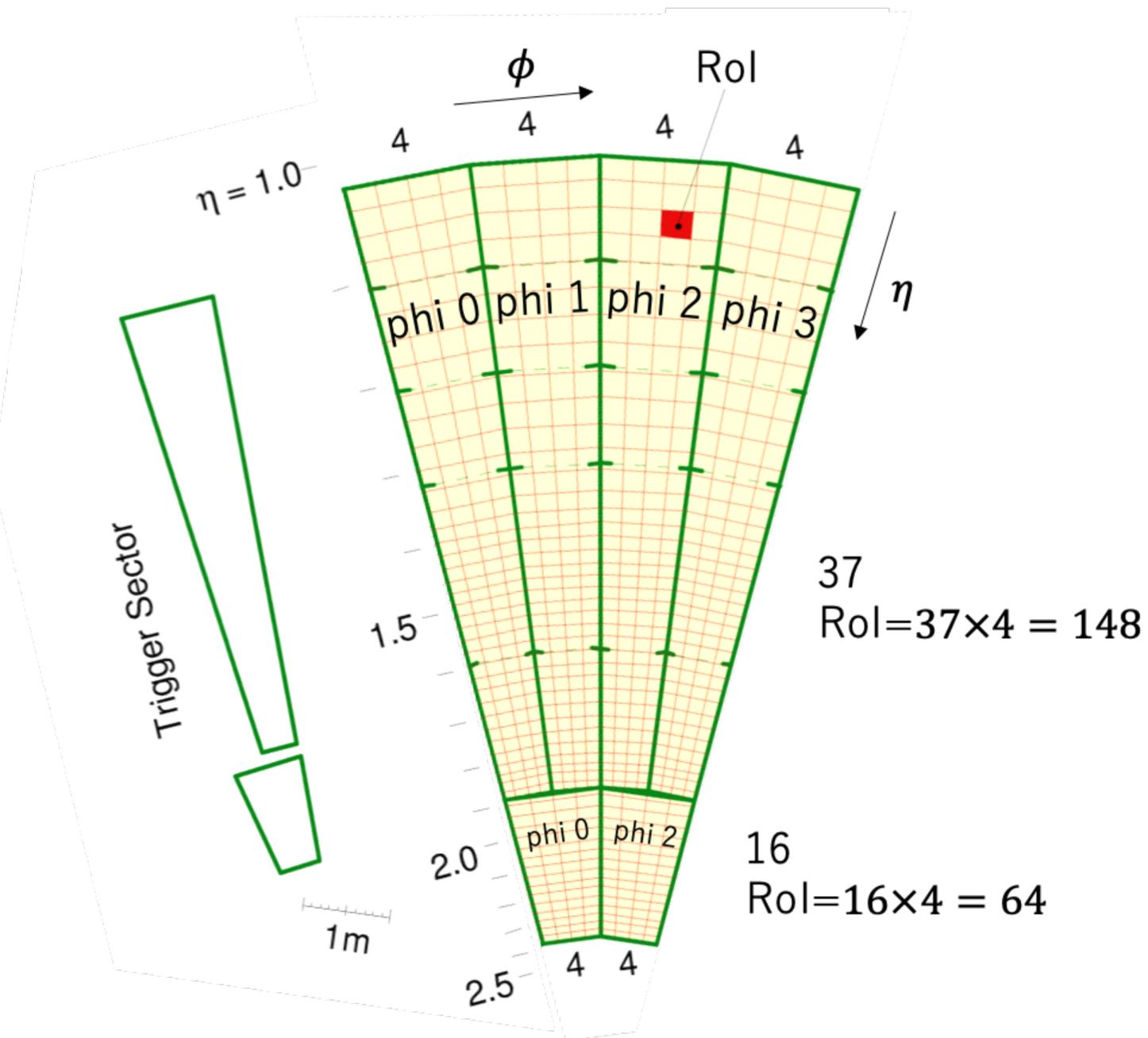
スワップ試験でHPT側と判明。
HPTボードの交換で解決。



スワップ試験でHPT側と判明。HPTボードの交換で解決せず、さらに上流のPSボードが原因だと推測、調査の予定が立てられている。



ASDテストパルス試験で同一パターンが打たれているトリガーセクター



ASDテストパルスは、1/12セクターにおいて

- Endcap phi0, phi2
- Endcap phi1, phi3
- Forward phi0
- Forward phi2

の4種類のテストパルスパターンが打たれる。

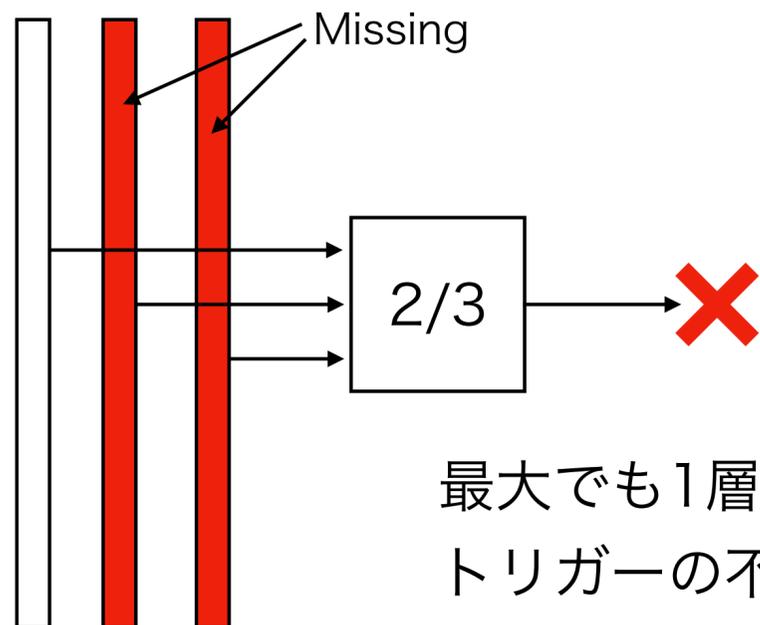
Missing Channelの探索手法と対応

• 探索手法

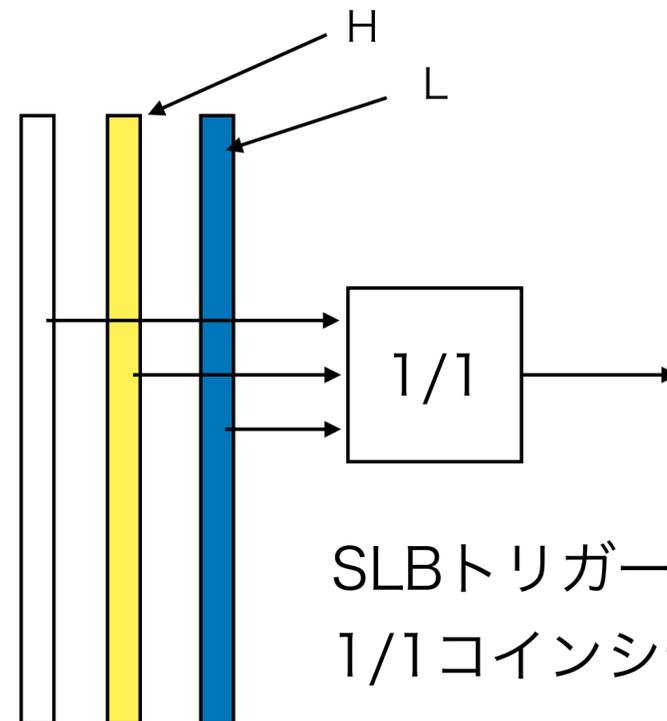
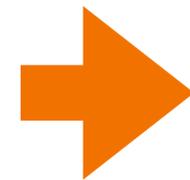
- データ解析からテストパルスの切り替えタイミングが不明
- 同一のテストパルスを使ったトリガーセクターのエントリー数の平均を基準に70%を下回ったチャンネルをMissingと判定

• 対応の例: M1 Wire SLB output

3層中2層がMissingになった例



最大でも1層しか鳴らないのでこの領域はトリガーの不感領域になる。



SLBトリガーロジック直前のマスク機能を用いて、1/1コインシデンスへの変更を実現

Noisy Channelの探索手法と対応

• 探索手法

- 問題のないチャンネルでは0エントリーが期待される。
- 全事象数の0.1 %を超えるエントリーがあるチャンネルをNoisyと判定

• 対応の例: M1 Wire SLB output

- 基本的に最も上流のマスク機能(BCID Mask)で信号を遮断
- ASD ASICが担当する全てのチャンネルがNoisyなら、まずASD閾値電圧で対応する。

