



COMET Phase-I 実験に向けた 機械学習を実装したFPGAによる オンライン事象選別の研究

阪大理^A、Monash Univ.^B、KEK素核研^C、阪大RCNP^D、成均館大^E

宮滝 雅己^A

m-miyataki@epp.phys.sci.osaka-u.ac.jp

藤井祐樹^B、中沢遊^C、吉田学立^D、上野一樹^{A,C}

MyeongJae Lee^E、青木正治^A

COMET Phase-I 実験 @ J-PARC 2

茨城県東海村

目的： **Al原子中でのミュオン電子転換過程探索**

・ 150日間の測定で感度 $\sim 7 \times 10^{-15}$ @ 90% C.L.

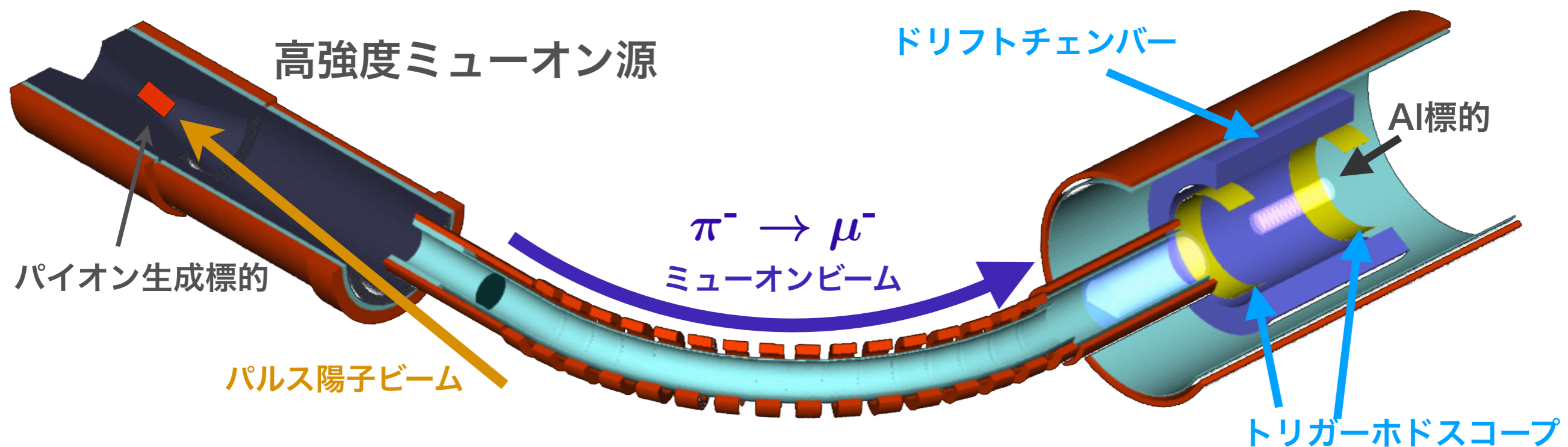
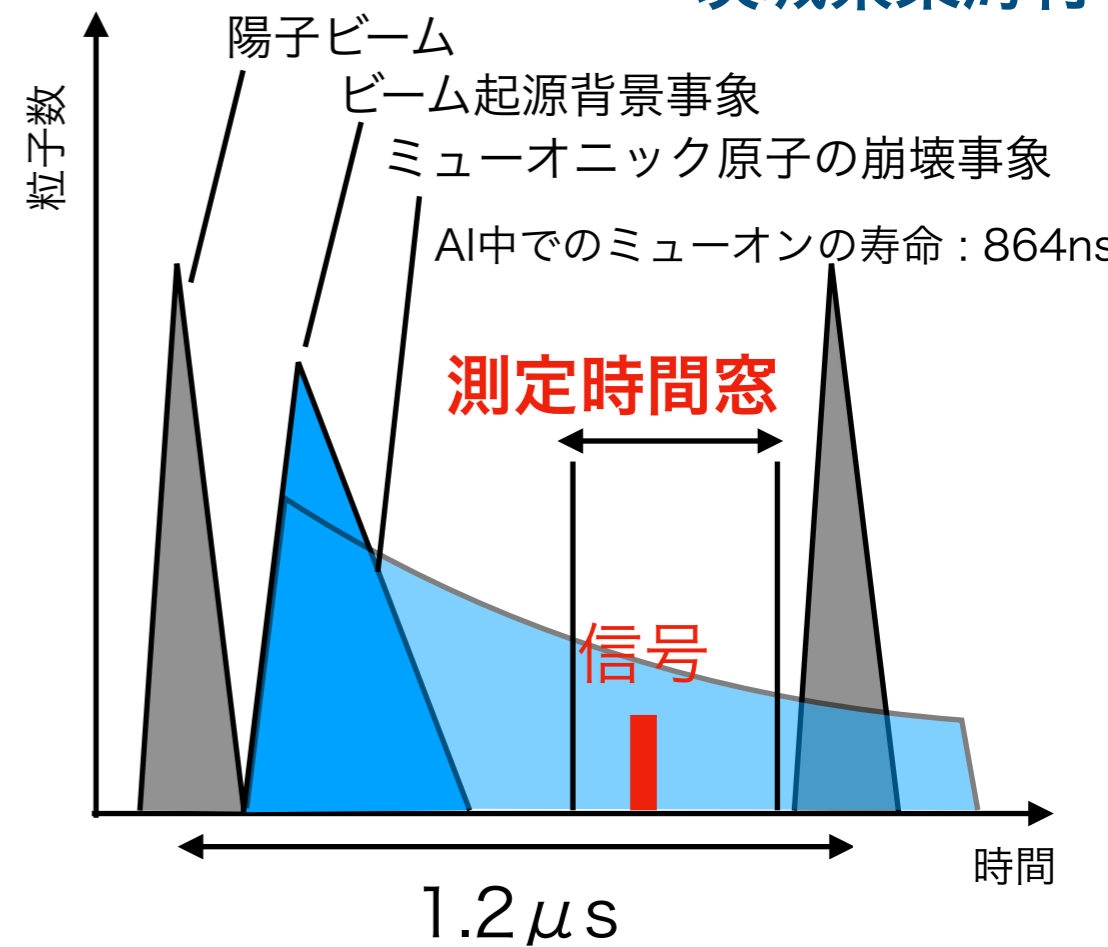
<-> 現在の上限値 SINDRUM II*

$$B(\mu^- + Au \rightarrow e^- + Au) < 7 \times 10^{-13} \text{ @ 90\% C.L.}$$

ビーム構造

： ビーム背景事象を排除するためパルス陽子ビーム

検出器： 円筒型検出器



*<https://doi.org/10.1140/epjc/s2006-02582-x>

円筒型検出器

◆ ドリフトチェンバー

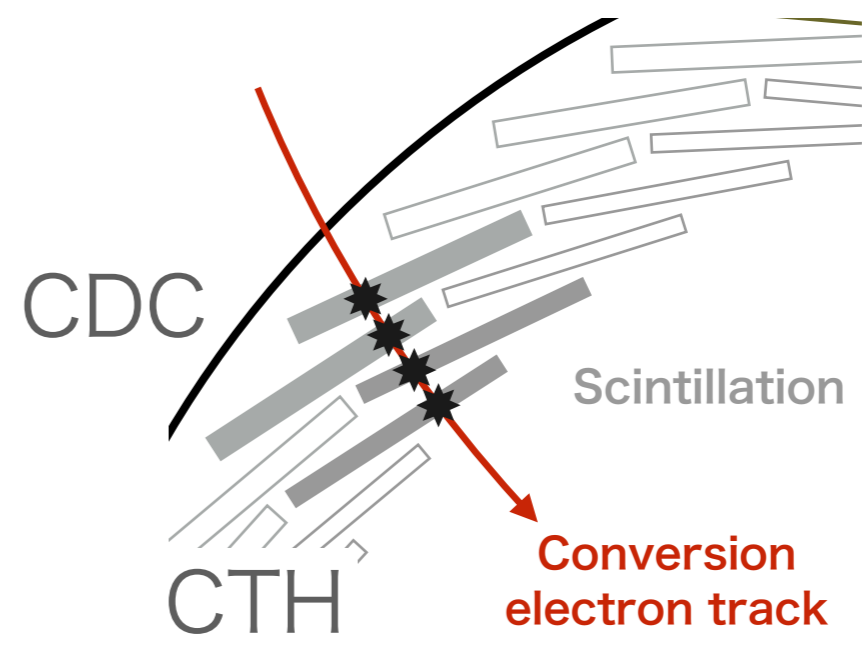
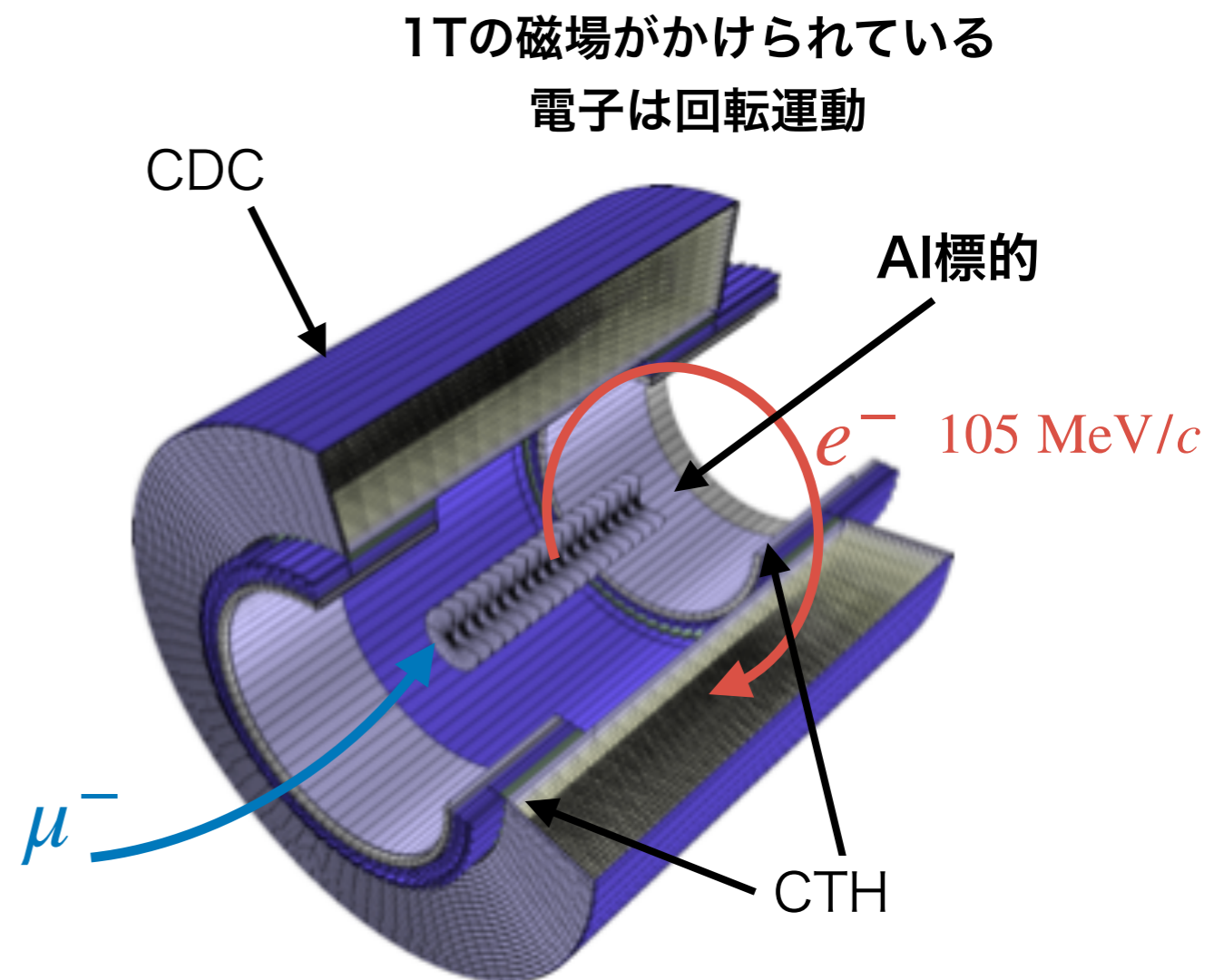
CDC (Cylindrical Drift Chamber)

- ・ 外径 ~1.7m、内径 ~1m、長さ ~1.5m
- ・ 粒子の運動量を測定
 - ・ 4986 sense wires
 - ・ 20 stereo layers
- ・ Heベースの低質量ガスの使用
 - ・ He : iC_4H_{10} = 90 : 10

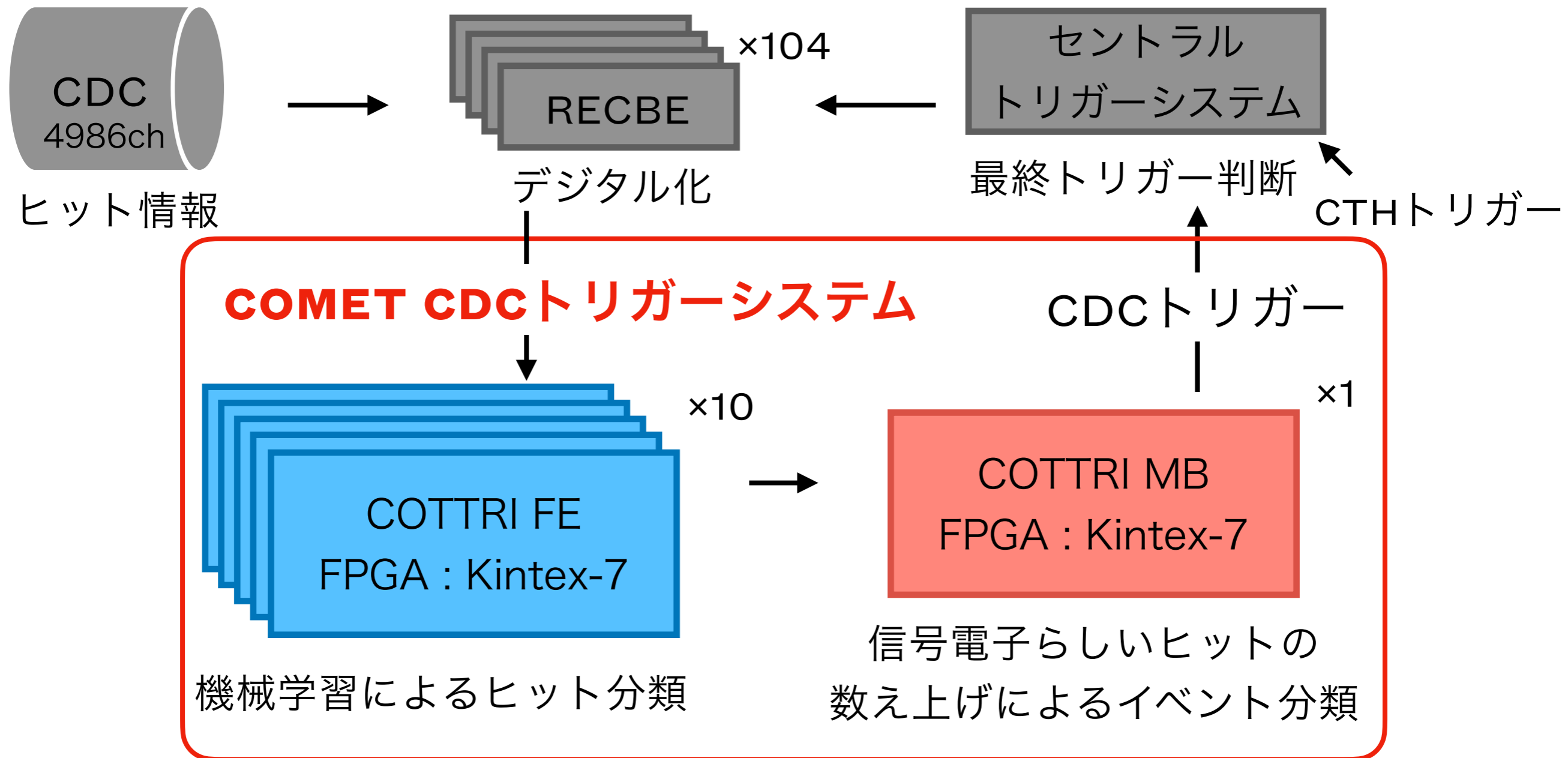
◆ トリガーホドスコープ

CTH (Cylindrical Trigger Hodoscope)

- ・ 電子の時間情報を測定
- ・ 4重コインシデンスにより偶発的なフェイクトリガー事象を除去



オンライントリガーシステム



- **トリガー要求性能を達成**

<https://doi.org/10.1109/tns.2021.3084624>

- 96%の信号電子保持効率でトリガーレート13 kHz
(CTHのトリガーレートは91 kHz)
- Latency : $3.2 \mu s < 7.5 \mu s$

トリガー効率を上げ測定時間窓を広げ、シグナルアクセプタンスを向上させたい

測定時間窓(ns)	現在 [700,1170]	[500,1170]
シグナルアクセプタンス(%)	4.2	7.0

x 1.7

現在のトリガーシステムは500ns開始ではトリガーレートが13 kHzを超えてしまう

現在のトリガーアルゴリズム

= 機械学習によるヒット分類 + 信号電子らしいヒットの数え上げによるイベント分類



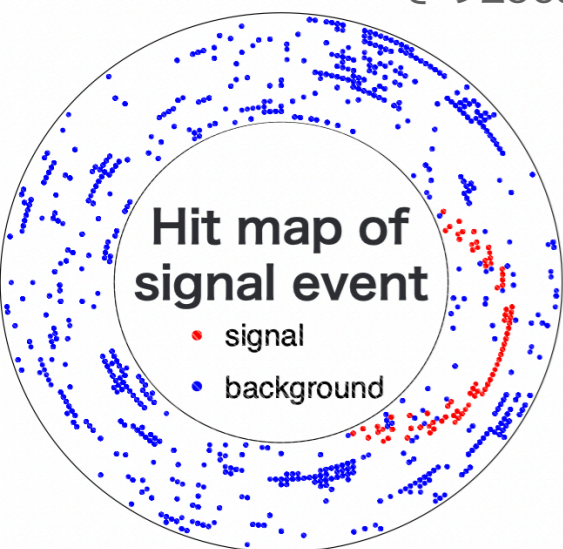
開発アルゴリズム

= 機械学習によるヒット分類 + Neural Networkのパターン認識によるイベント分類

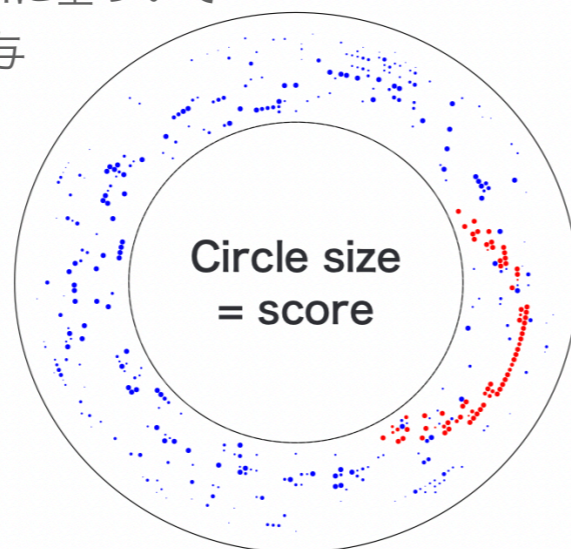
トリガーアルゴリズム

ヒット分類

GBDTが各ワイヤーヒットに対し
そのLocal hit patternに基づいて
Scoreを付与



Scoring
by LUTs

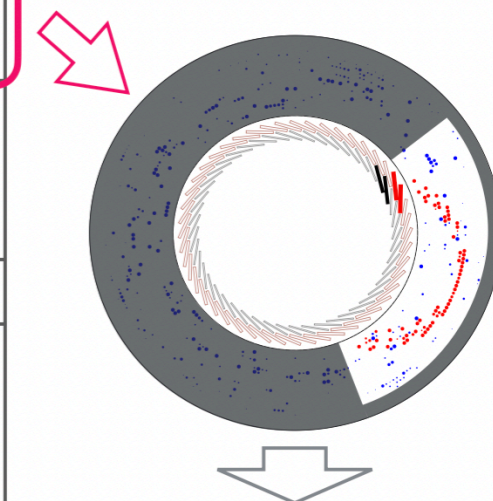


イベント分類 CDC Trigger

CTH ID

1		T	↔	T
2		T	↔	F
⋮				
i		F	↔	F
⋮				

CTH Trigger



現在のCDC Trigger発行アルゴリズム

1. CTHの各セグメントに対して、CDCのactive sectionを設定。
2. 各active section内で、score閾値を超えたhitをカウント。
3. カウント数が閾値を超えたらCDC Triggerを発行。

開発中のCDC Trigger発行アルゴリズム

1. CTHの各セグメントに対して、CDCのactive sectionを設定。
- 2'. 各active sectionのscore情報をinputとするNeural Networkを実行。
- 3'. Neural Networkの分類によりCDC Triggerを発行。

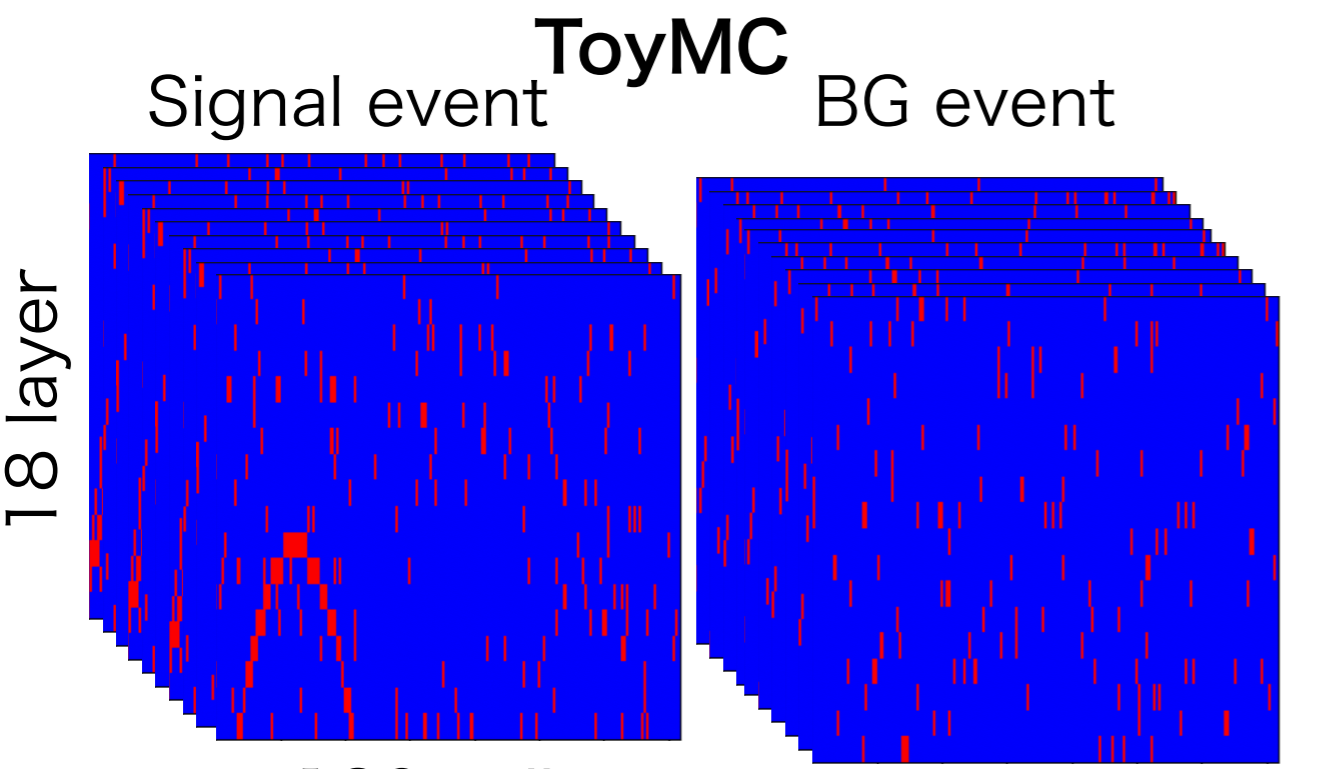
問題設定を簡略化し、まず以下の3つを確認したい

- ソフトウェア、FPGAファームウェア両サイドの開発スキーム
- FPGA上のNeural Networkの性能
- FPGA上でNeural Networkの推論にかかるlatency

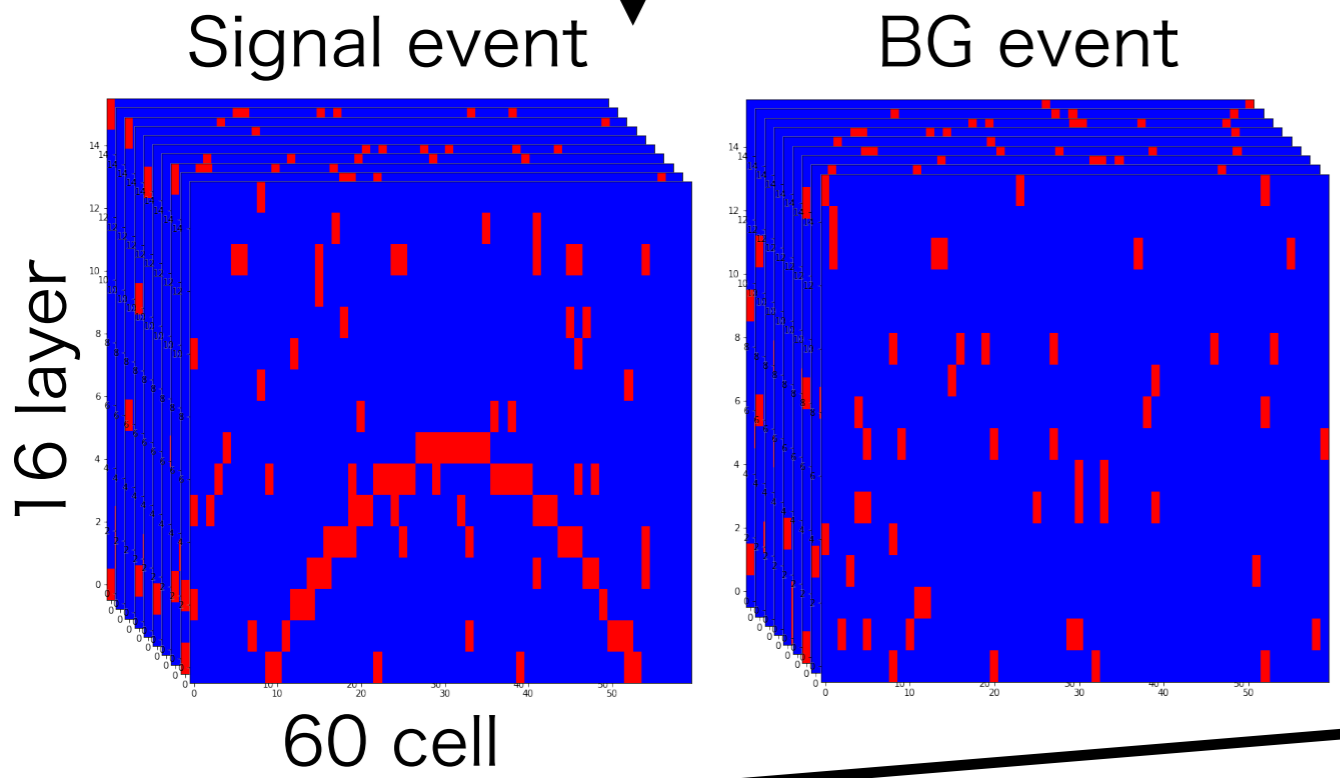
	CDC config	BG hit 占有率	ワイヤーヒット score情報	Active section
現実	20 layer x ~250 cell	~20 %	6 bit	~1500 ch (RECBE ~30枚)
本スタディ	18 layer x 180 cell	5%	1 bit	960 ch (RECBE 20枚)

この設定でソフトウェア、FPGAファームウェアの開発を行った。

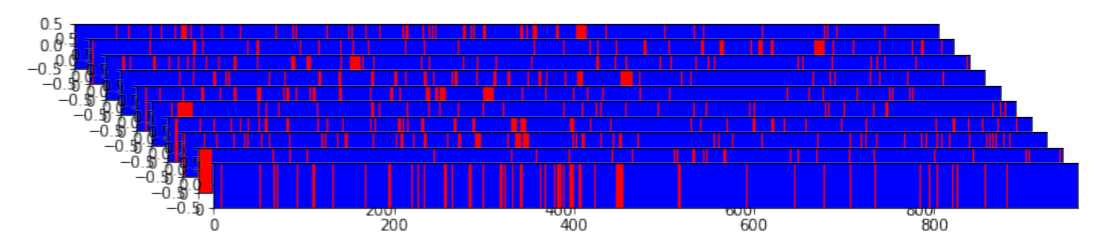
データセットの用意



Active section 抽出



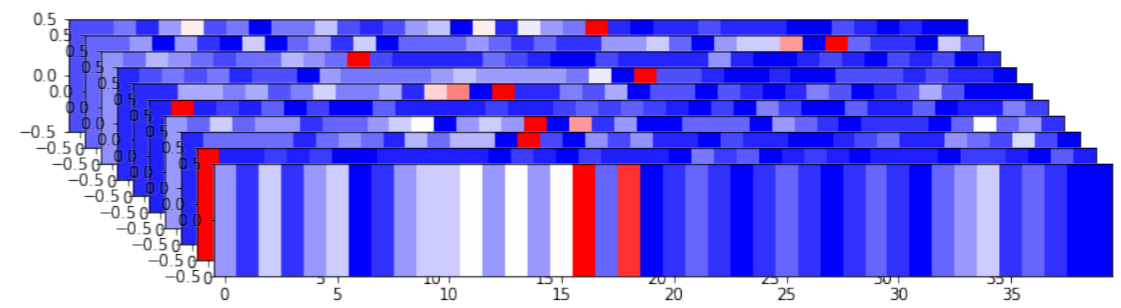
一次元化



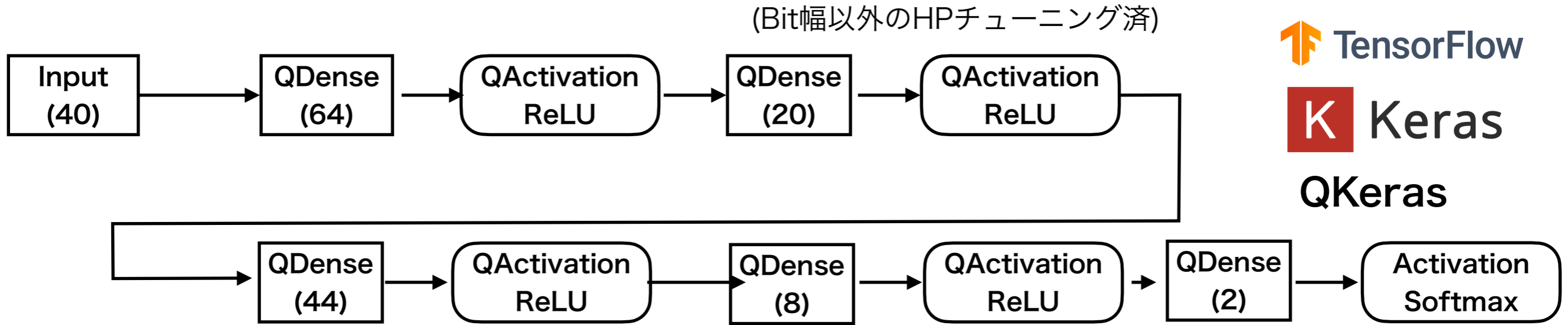
1 bit x 960
(BGも同様に一次元化)

24個ずつSum
(何個足すかは仮決め)

NNデータセット

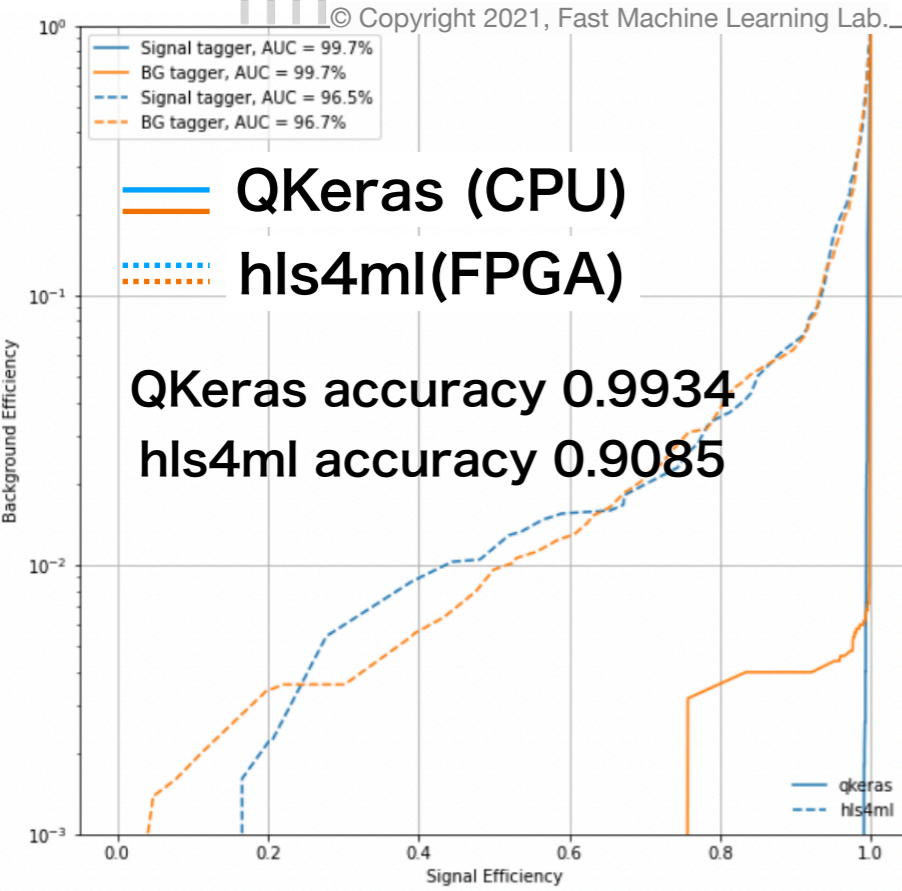


6 bit x 40
(BGも同様に圧縮)
25000 eventずつ用意



hls4ml

モデルをハードウェア記述言語によるプログラミングなしに
ファームウェア変換可能なコード(RTL)に変換



<https://dx.doi.org/10.1088/1748-0221/13/07/P07027>

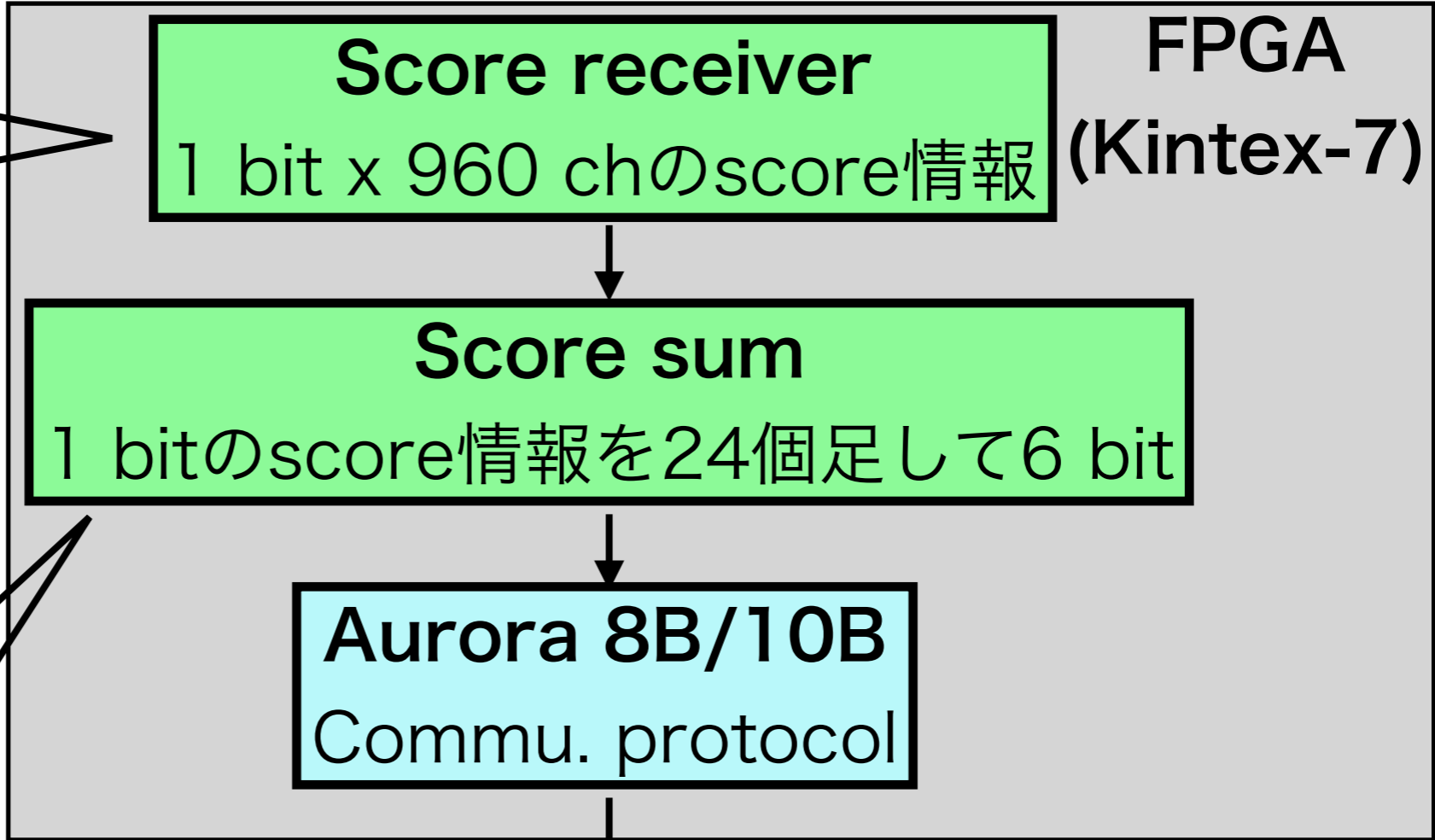
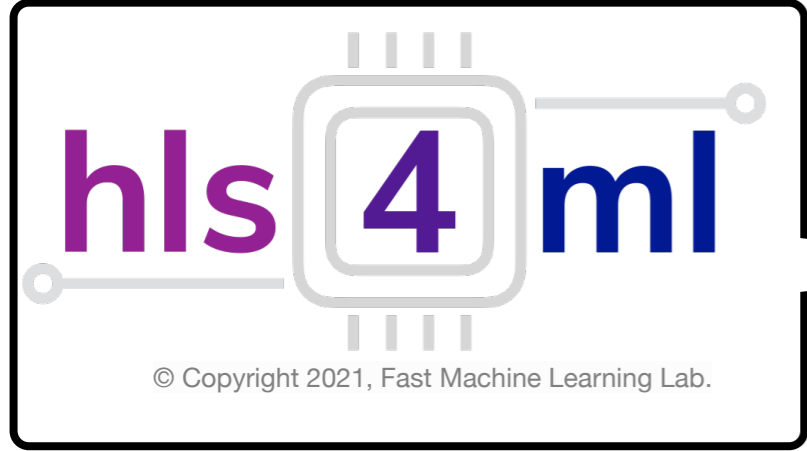
FPGA : AMD Xilinx Kintex-7 xck355t-ffg901-1

	Usage (%)			
Latency @200MHz	BRAM	DSP	FF	LUT
130 ns	~0	~0	5	32

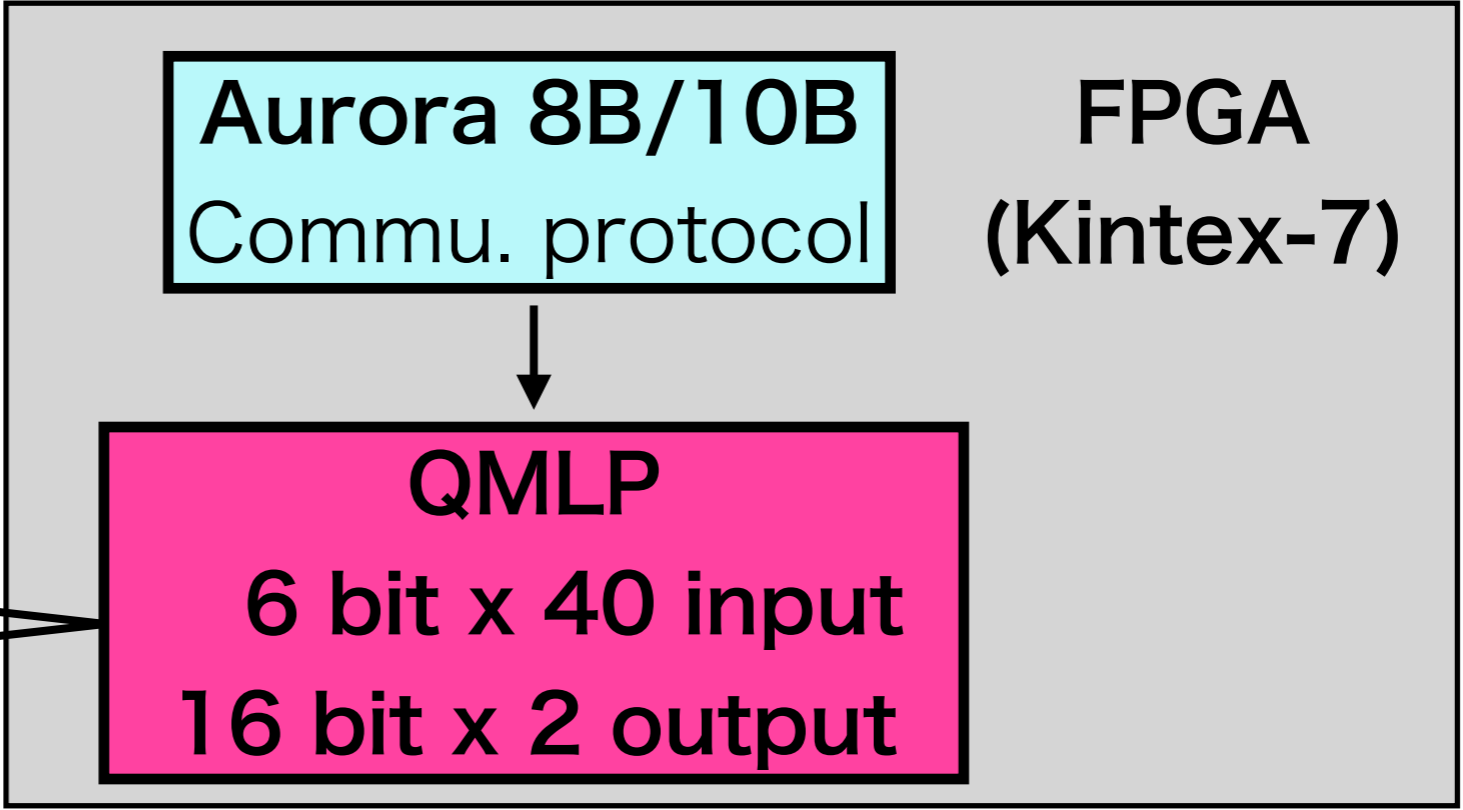
hls4mlが生成したC++ファイルをVivado_hlsで高位合成した後、vivadoでこのQMLPのipを生成し、COTTRI MBのFWに組み込んだ

Active section
(CDC wire 960 ch)
の1 bit score情報を
SiTCPでアドレスに書
き込み

FE-MB間のデータ転送は
10MHz。
960 bit のscoreを10
MHzで転送できないの
で、6 bit x 40 に圧縮

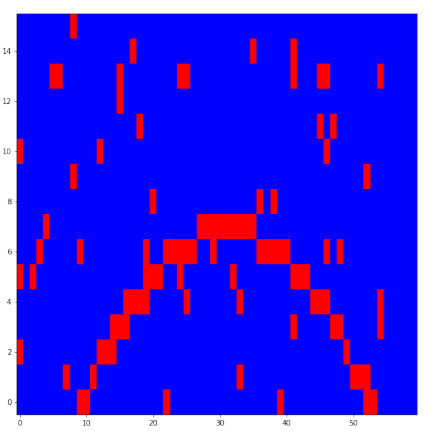
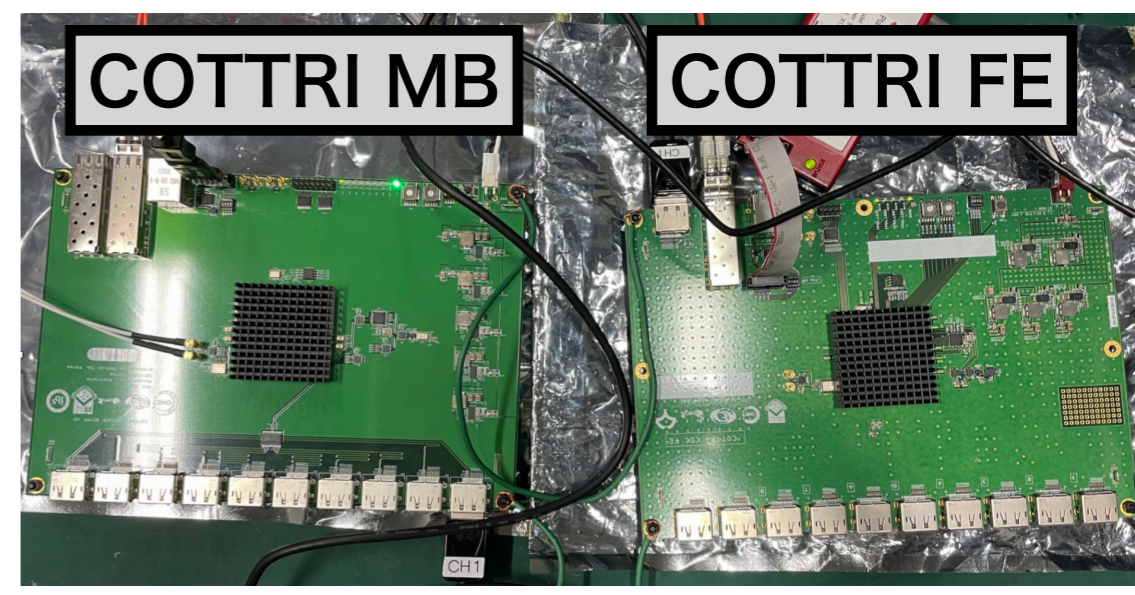


↓ **COTTRI Merger-Board**

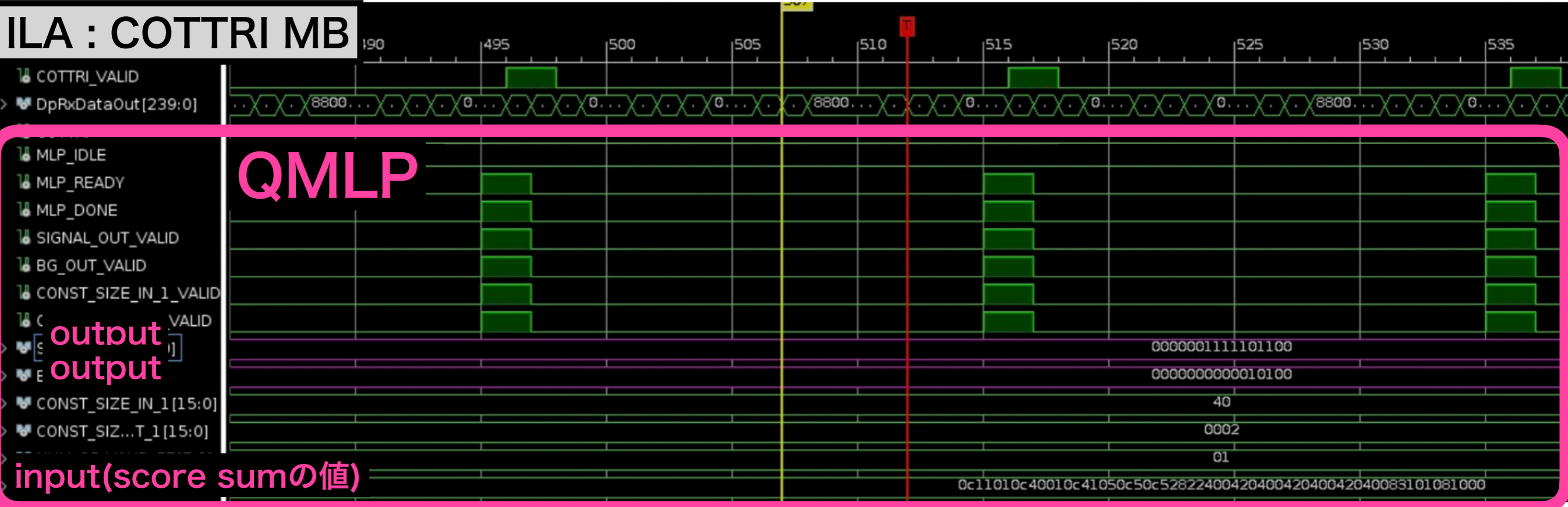
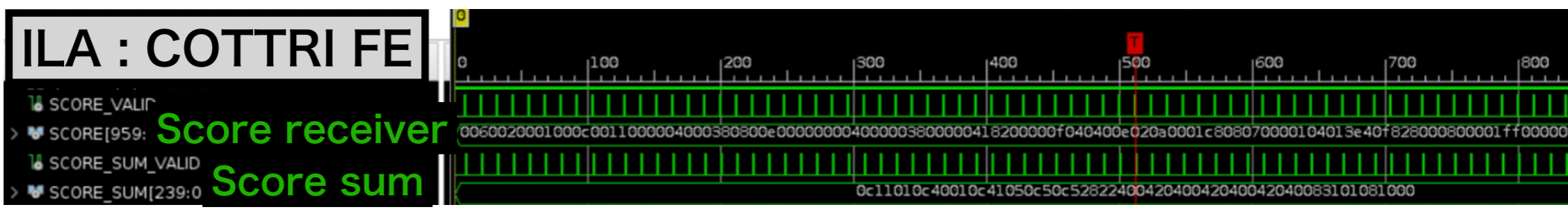


実機試験

FEのアドレスにsignal event, BG eventを10 event ずつ書き込み、QMLPの出力をILAで確認した。
 この20 event に対しFPGAに実装したQMLPのaccuracyは0.9だった。
 (今後10000 eventずつチェックして、性能を確認予定)



例) このイベント情報を書き込んだ時



まとめ

- COMET実験は標準理論で強く抑制されている μ -e転換過程探索実験
- COMET Phase-I 開始に向けて鋭意準備中
 - 目標感度 $\sim 7 \times 10^{-15}$ @90 C.L. (AI) ->現在の制限を100倍更新
- シグナルアクセプタンス向上のためオンライントリガーシステムの開発をおこなっている。
- **Neural Networkがトリガー性能を向上させる強い候補**であり、現在スタディを進めている。
- ToyMCデータから学習データを作成し、latency, resource共に実装可能なQMLPモデルを作成。
- QMLPモデルを hls4mlを用いて**ハードウェア記述言語によるプログラミングなし**にRTLに変換し、FirmwareをCOTTRI MB実機に実装。20 eventのaccuracyを確認した。

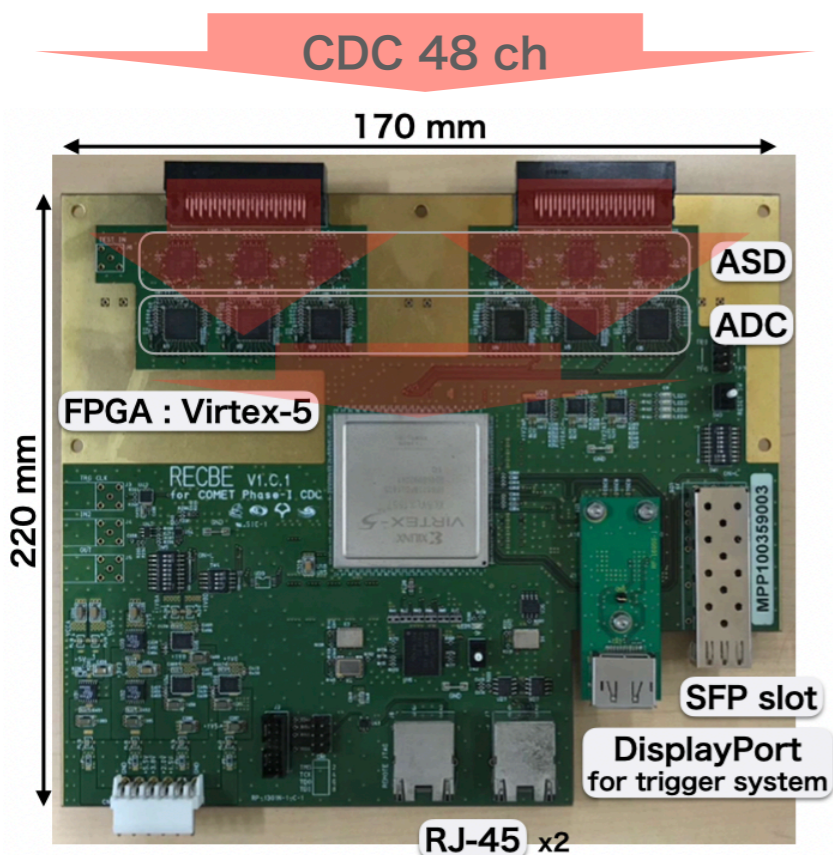


次はさらに多くのイベントで性能確認、latency測定、ノイズ耐性を調べ、スケールアップしていく。

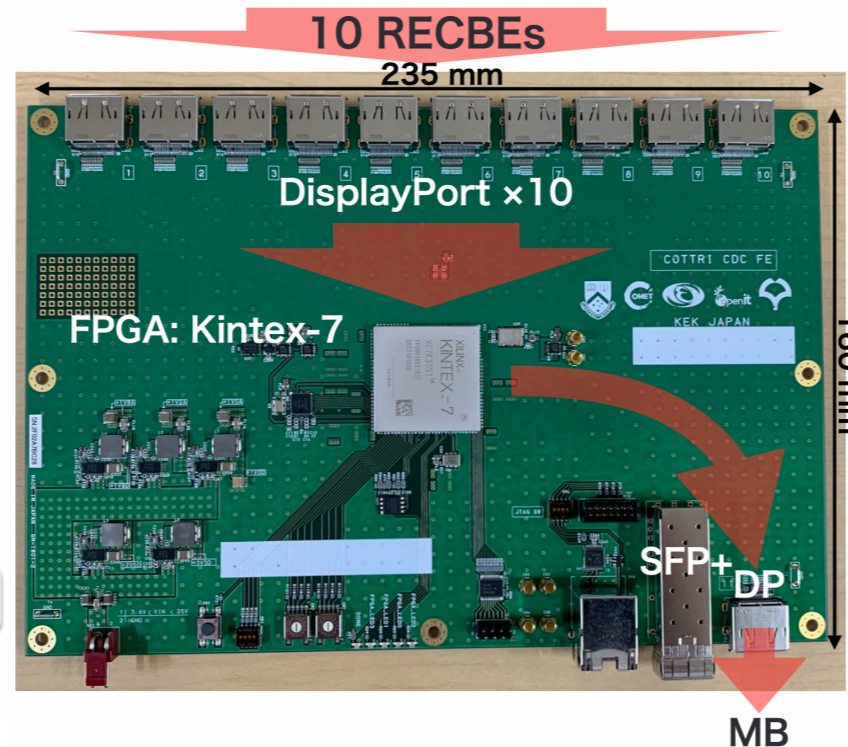
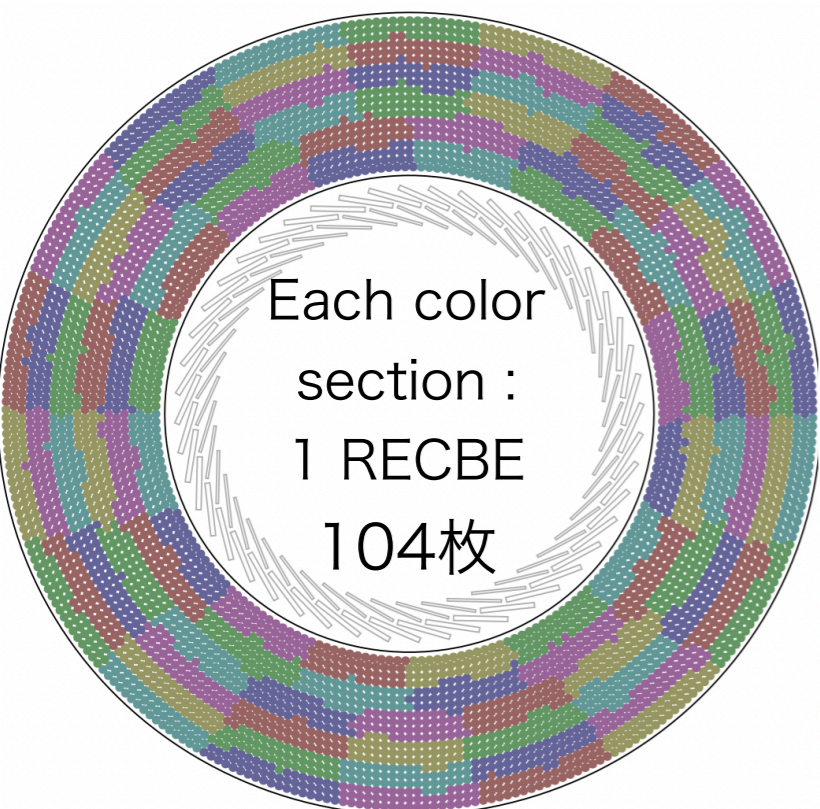
COMET内では私(と藤井さん)だけなので似たことをやってる人と情報交換できると嬉しいです。

Backup

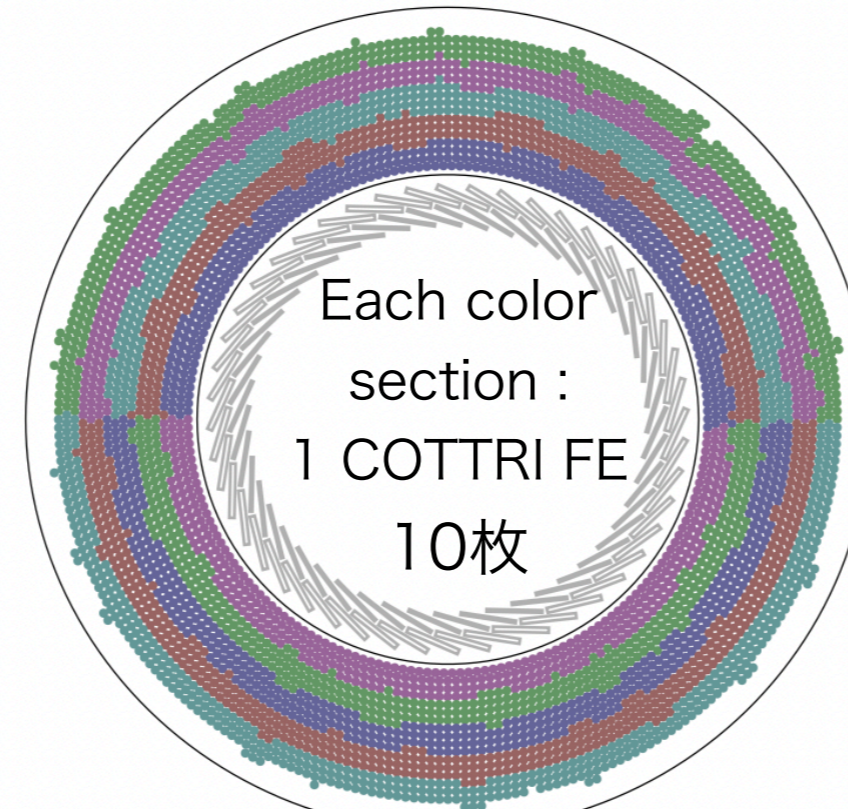
ハードウェア制約



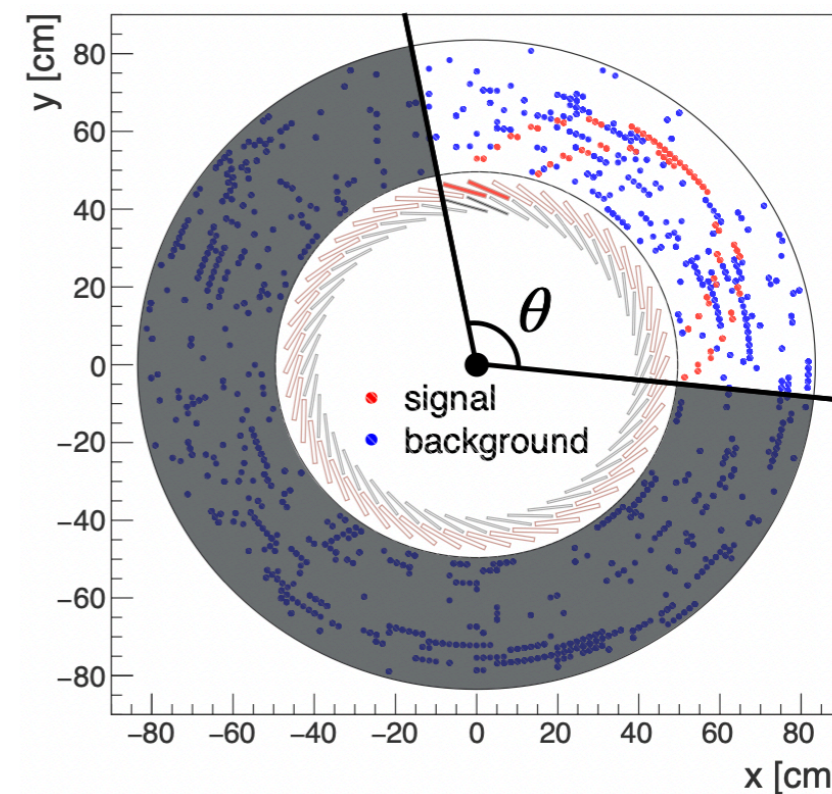
RECBE Configuration



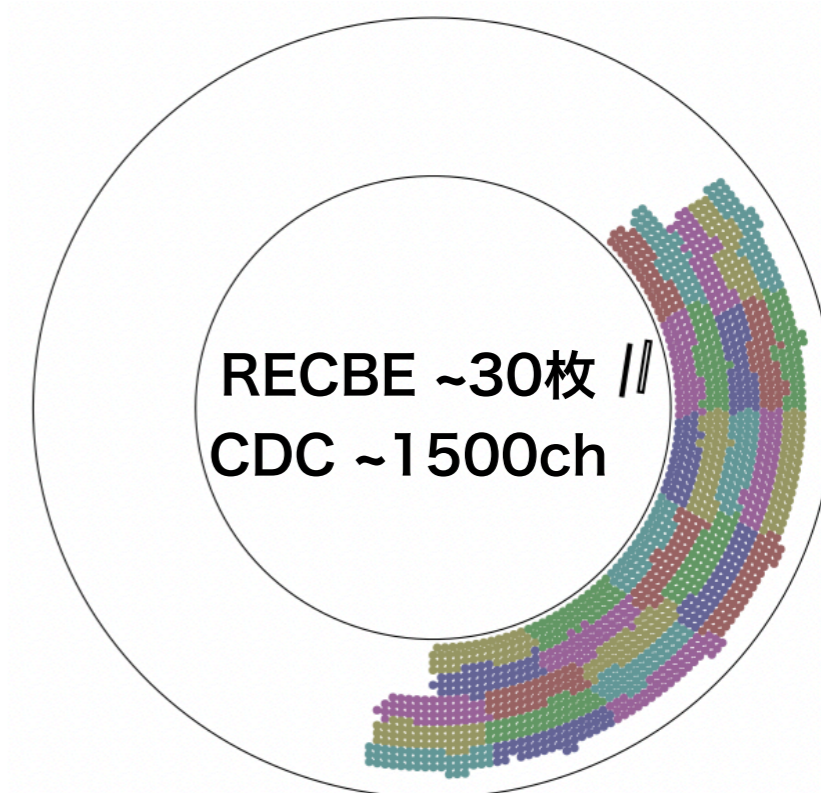
COTTRI FE Configuration



信号電子が軌跡を残すのは
CDCの約1/3領域



Active sectionの例



COTTRI FE to COTTRI MB data format

Maximum data transfer = 2.4 Gbps/lane x 2lane x 0.8 = 3.84 Gbps

1 frame @ 10 MHz

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Header	0	Parity bits			1	Sent number												Board ID														
Score	0	Parity bits			0	RECBE 0																										
	0	Parity bits			0	RECBE 1																										
	0	Parity bits			0	RECBE 2																										
	0	Parity bits			0	RECBE 3																										
	0	Parity bits			0	RECBE 4																										
	0	Parity bits			0	RECBE 5																										
	0	Parity bits			0	RECBE 6																										
	0	Parity bits			0	RECBE 7																										
	0	Parity bits			0	RECBE 8																										
	0	Parity bits			0	RECBE 9																										