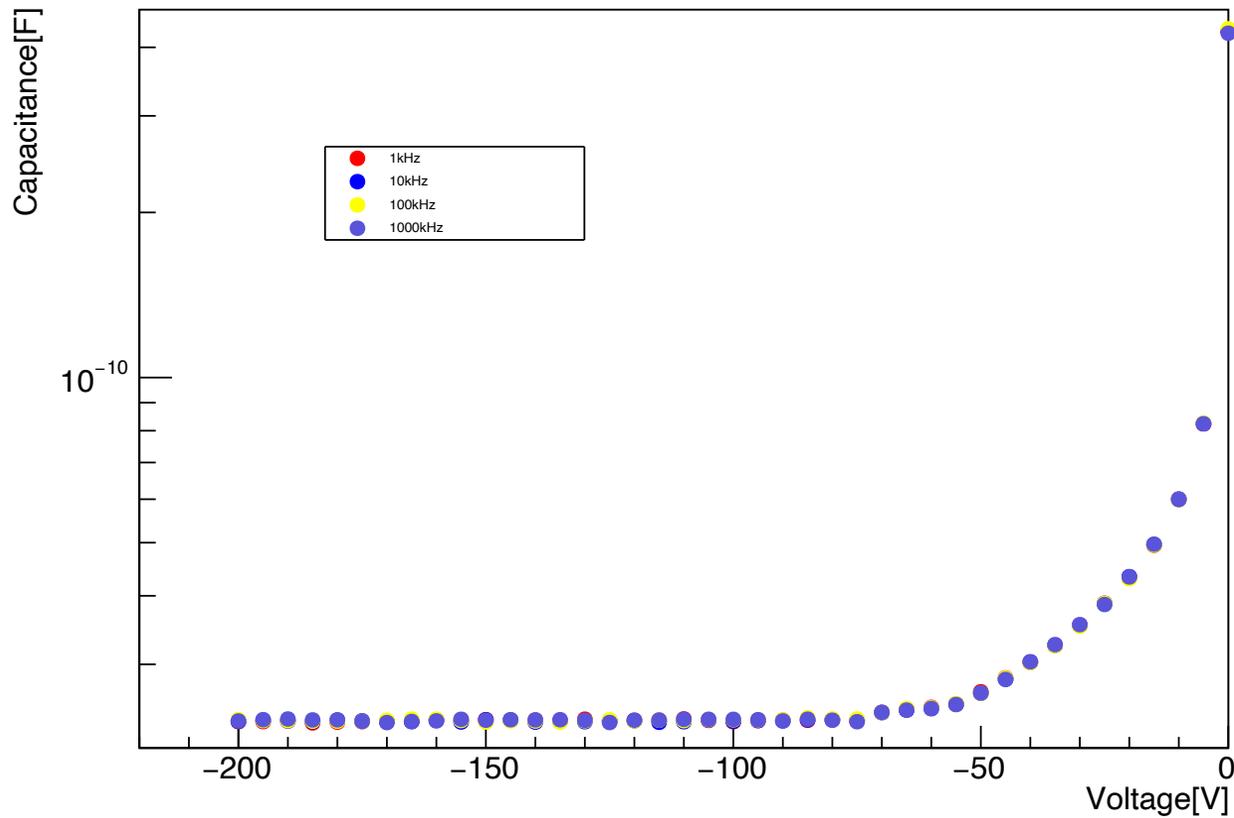


進捗

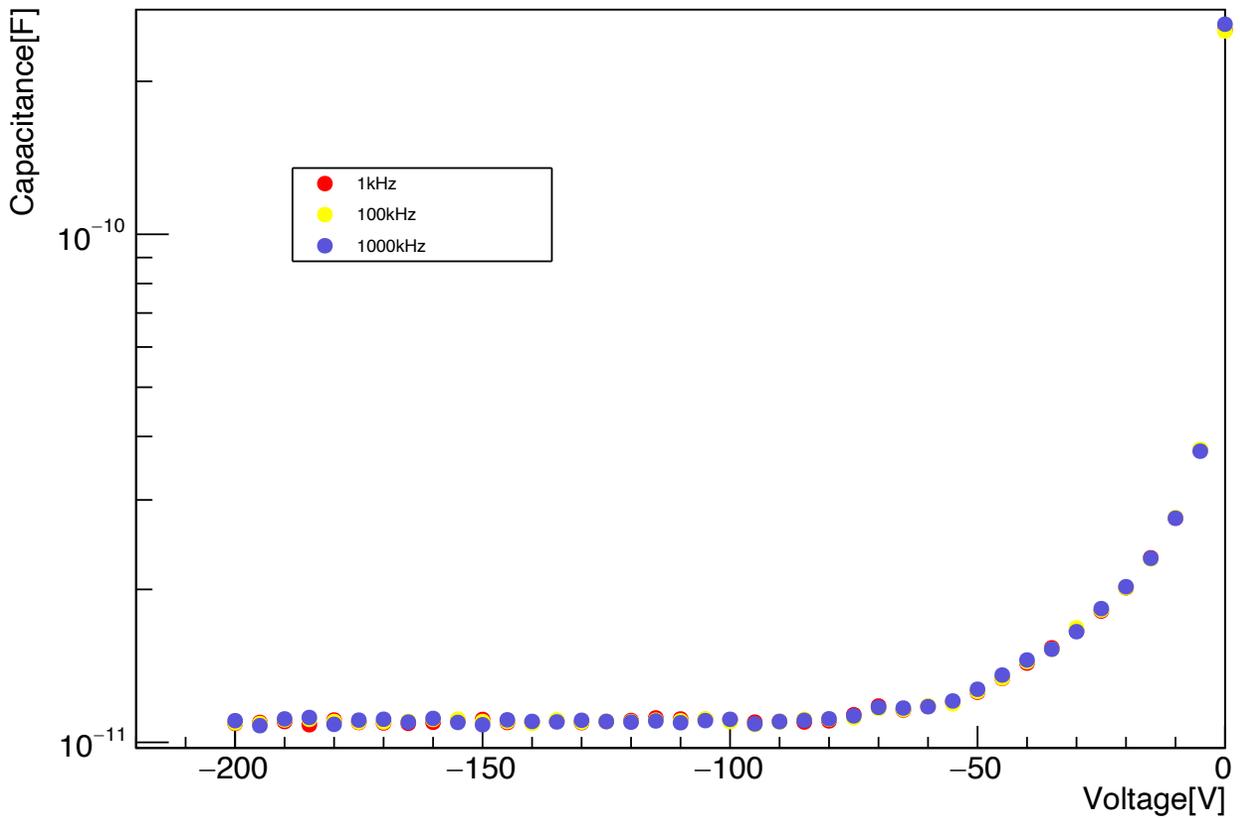
- ・ テストストラクチャーのダイオードのCFscan
- ・ ポリシリコン抵抗のIVscan

ダイオードのCFscan

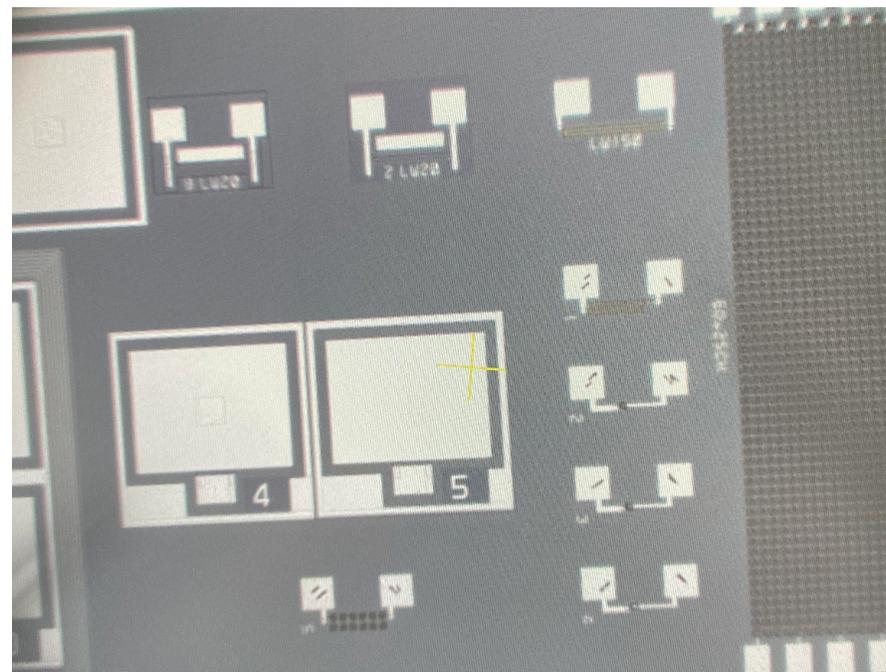
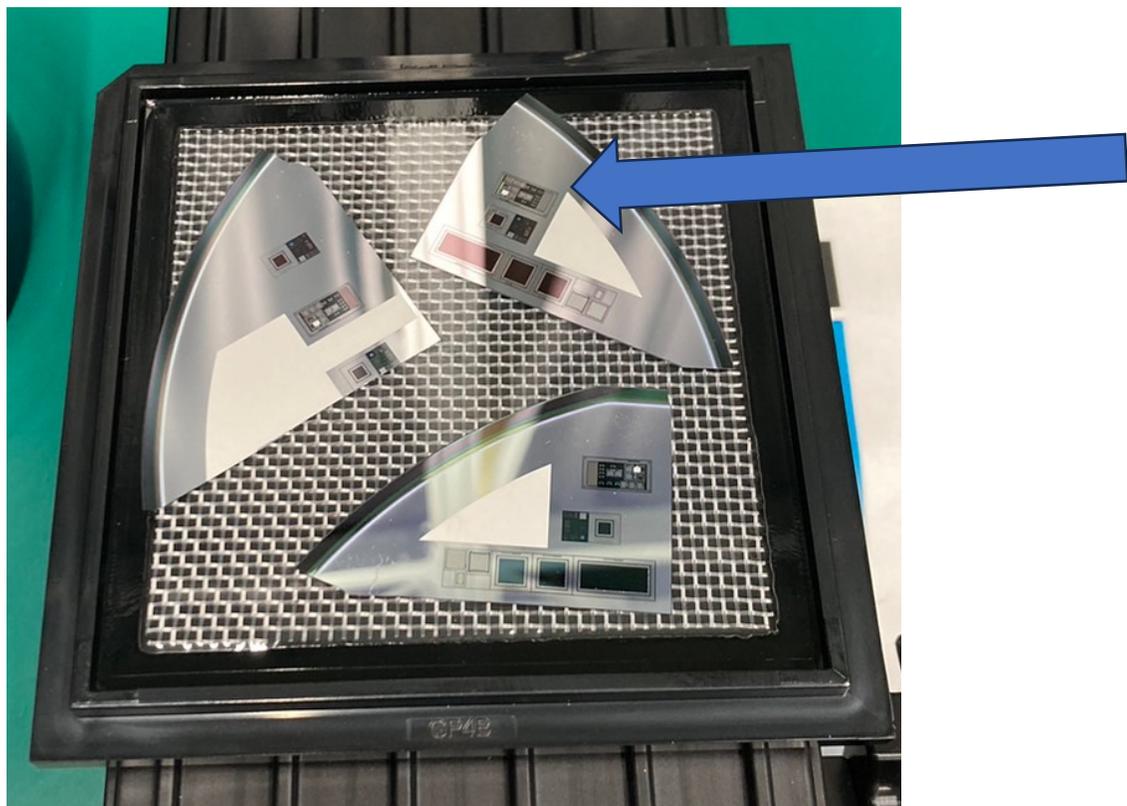
W3TS3D1



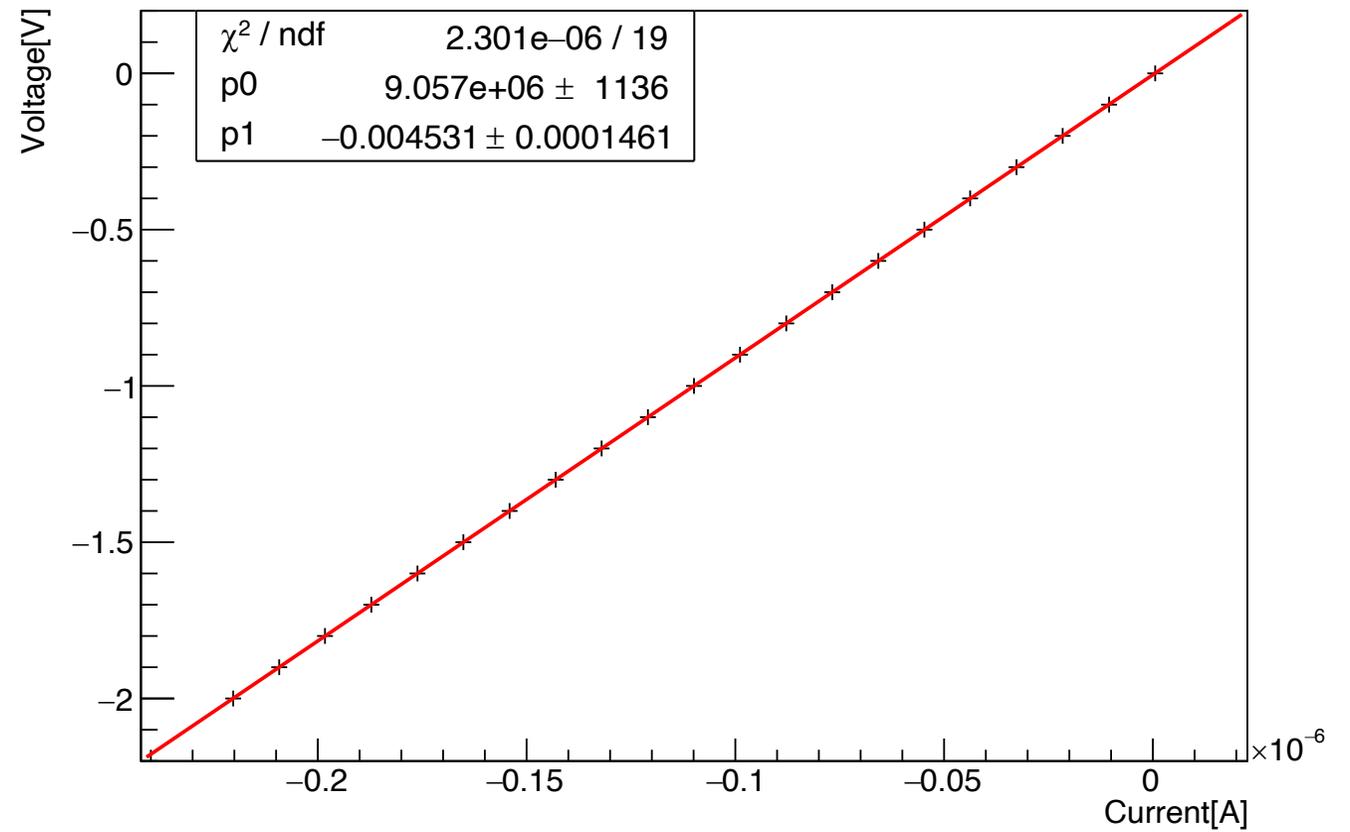
W3TS3D2

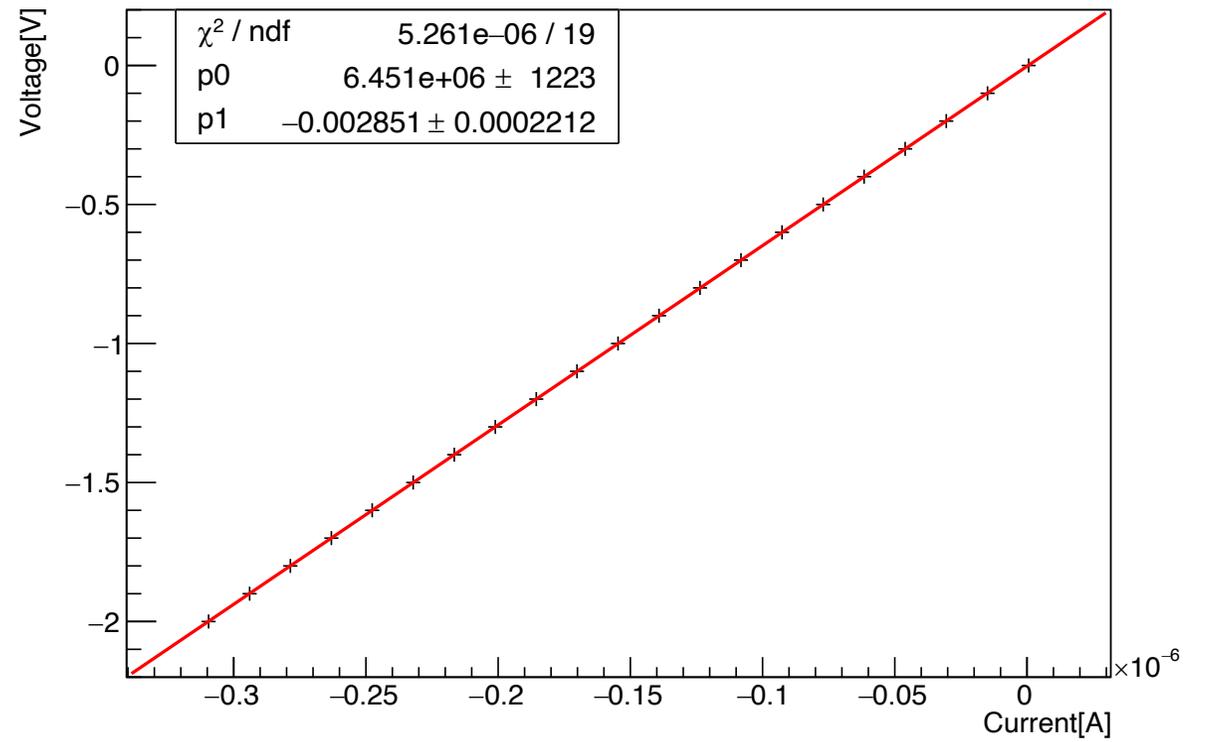
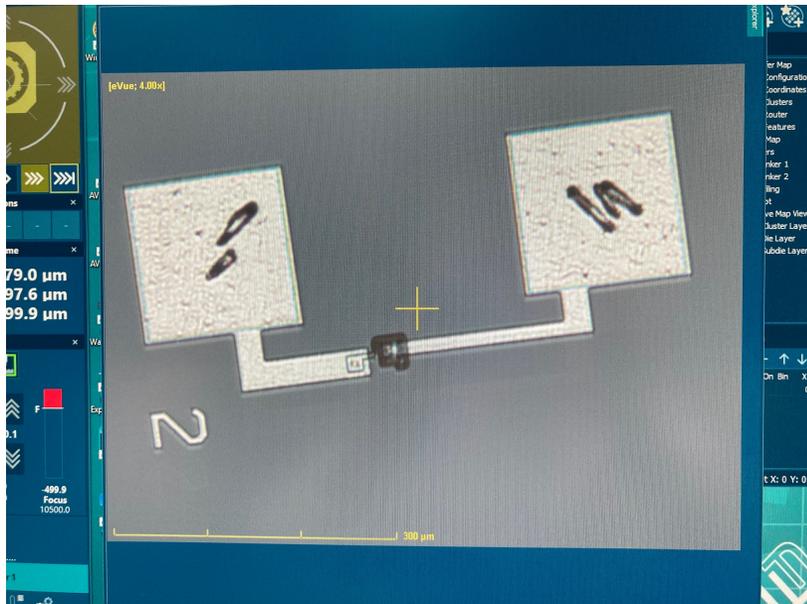


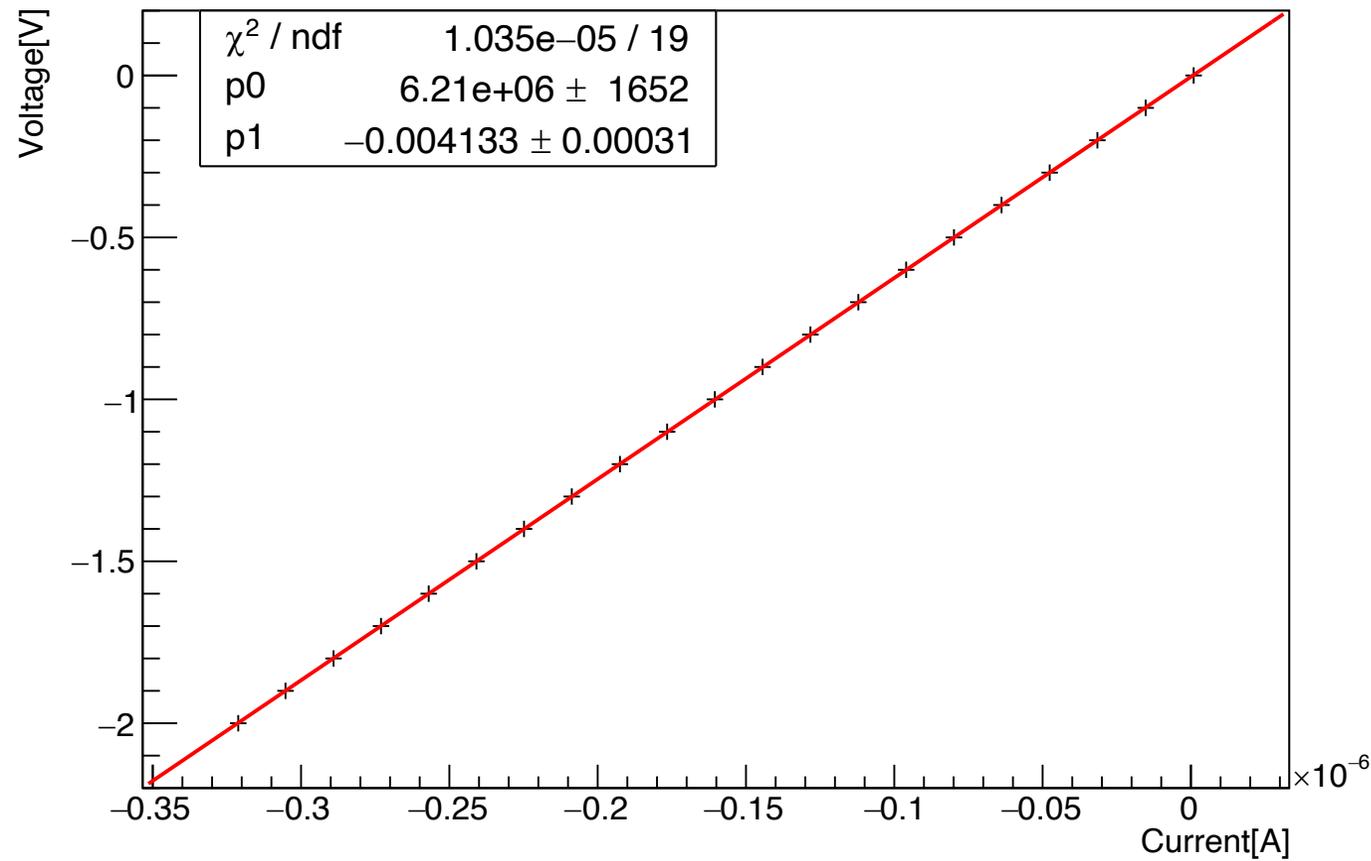
ポリシリコン抵抗のIVscan



ポリシリコン抵抗のIVscan

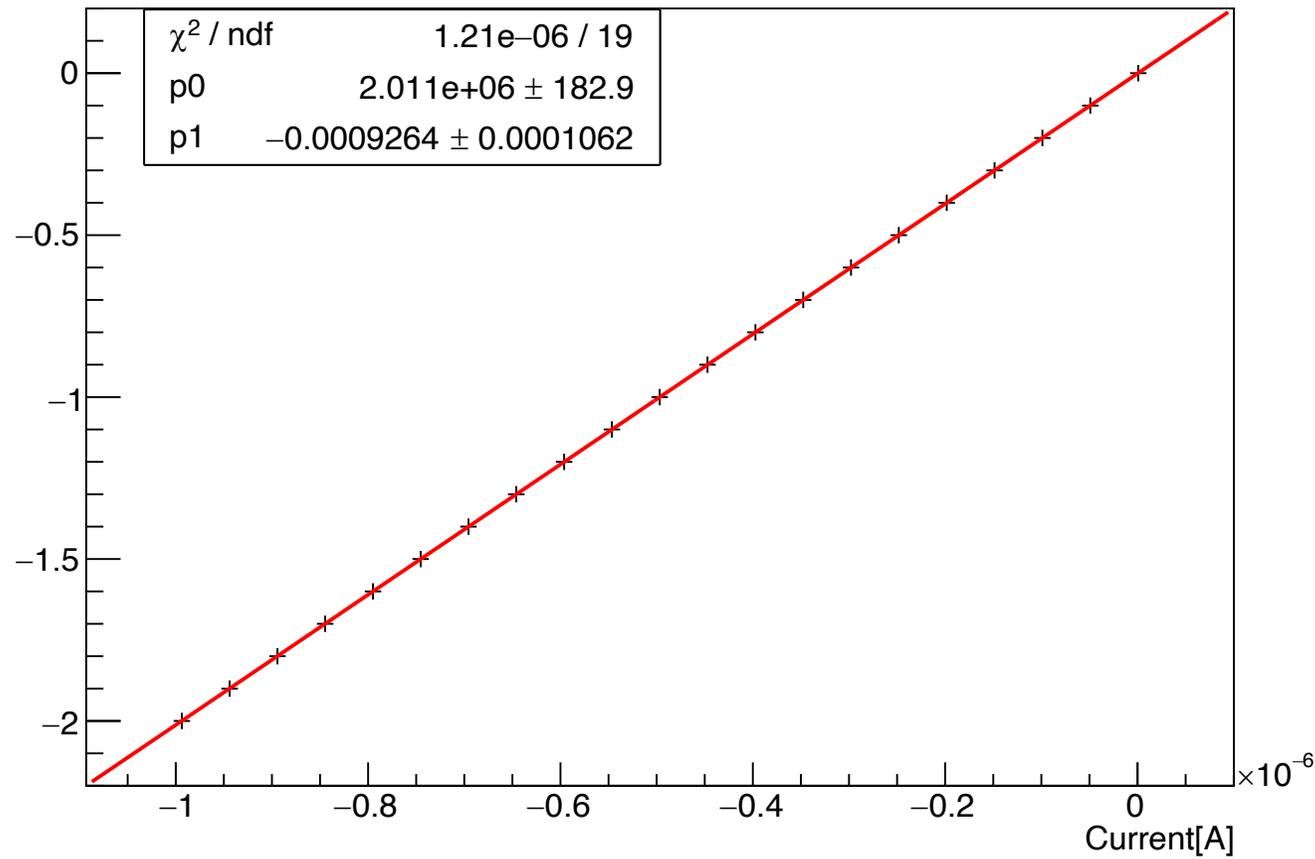


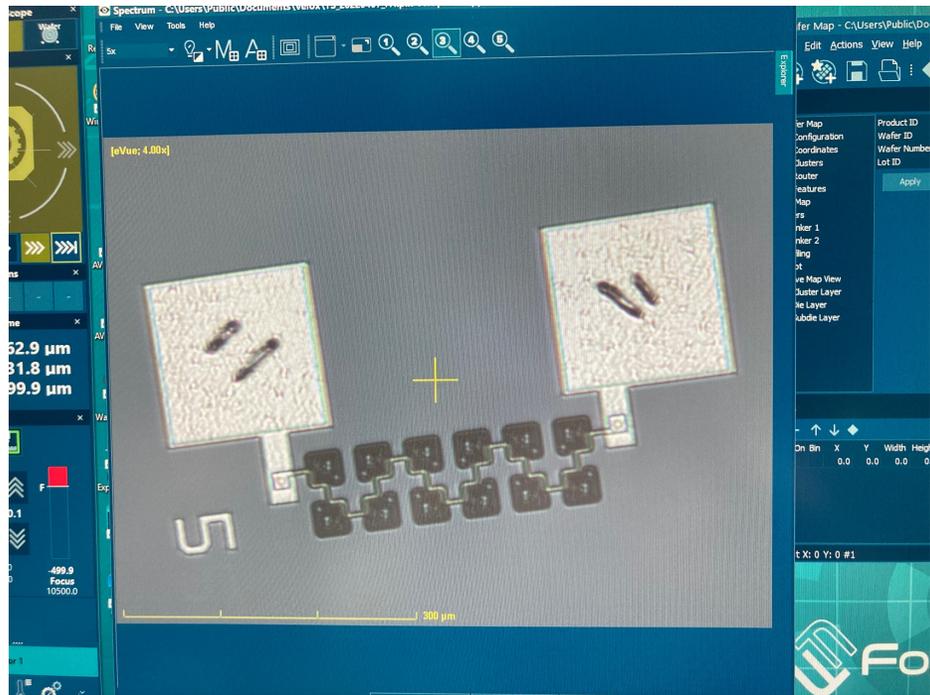




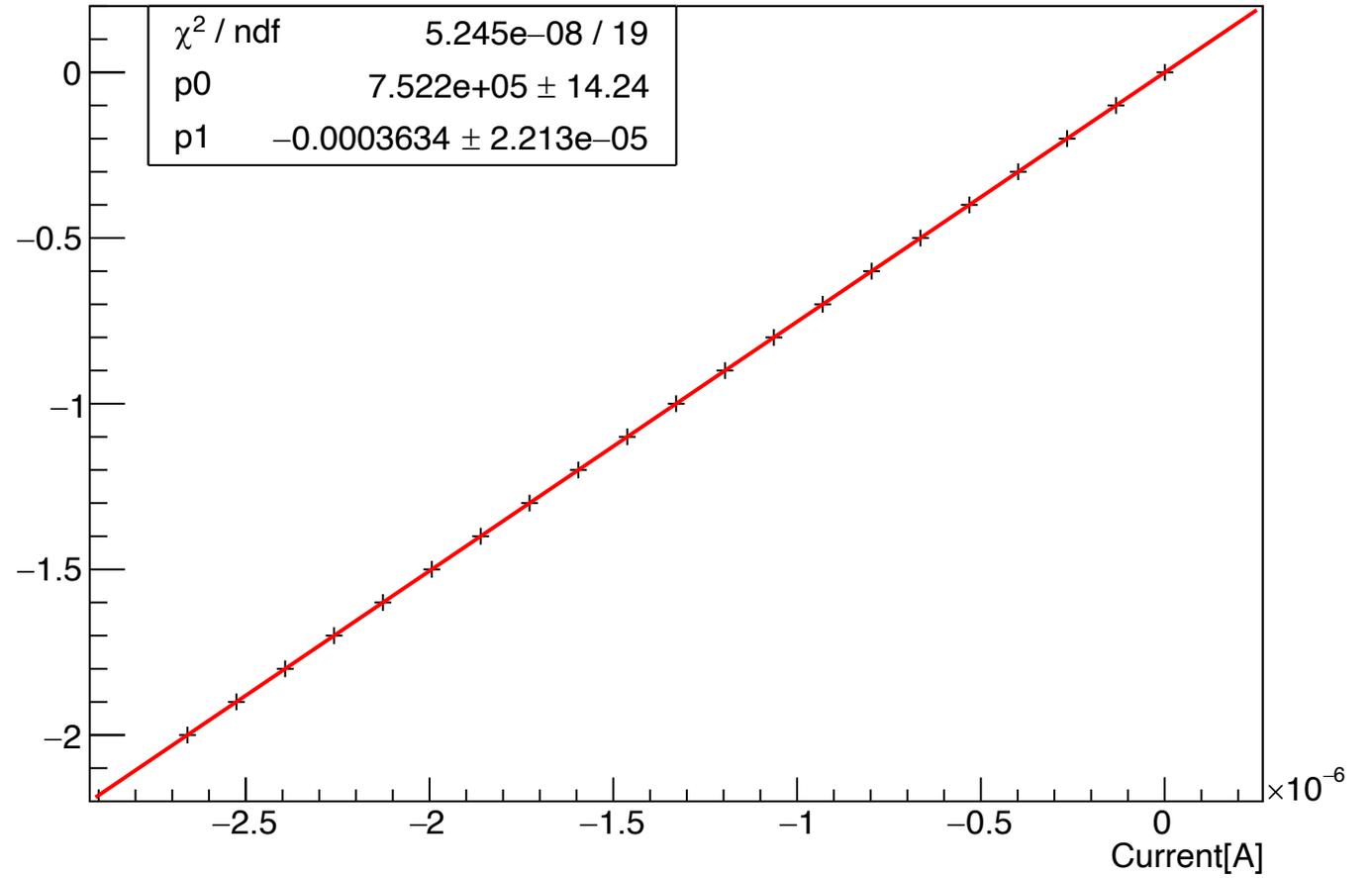


Voltage[M]





Voltage[V]

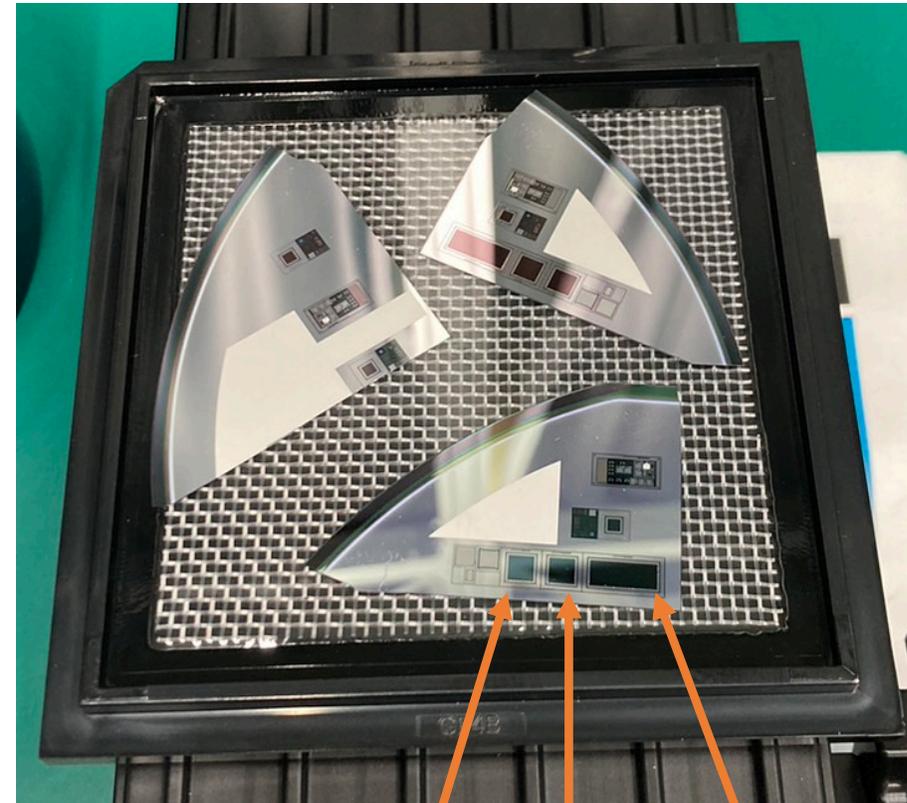


TestStructureのダイオード測定

2023/06/23

M1 能瀬大翔

テストストラクチャー

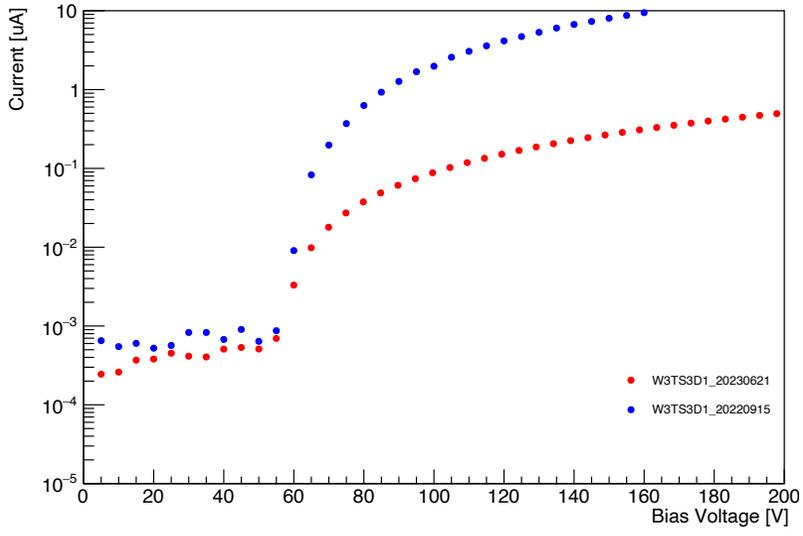


W3TS3のダイオードのIV、CVを測定した

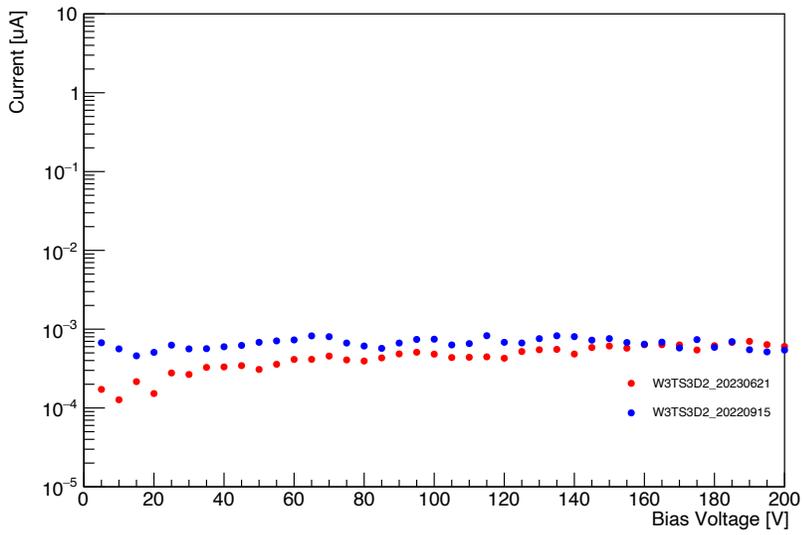
W3TS3

Voltage Step : 5 V
Interval : 3 s
Ramping Time : 200 ms
Frequency (fixed) : 10 kHz

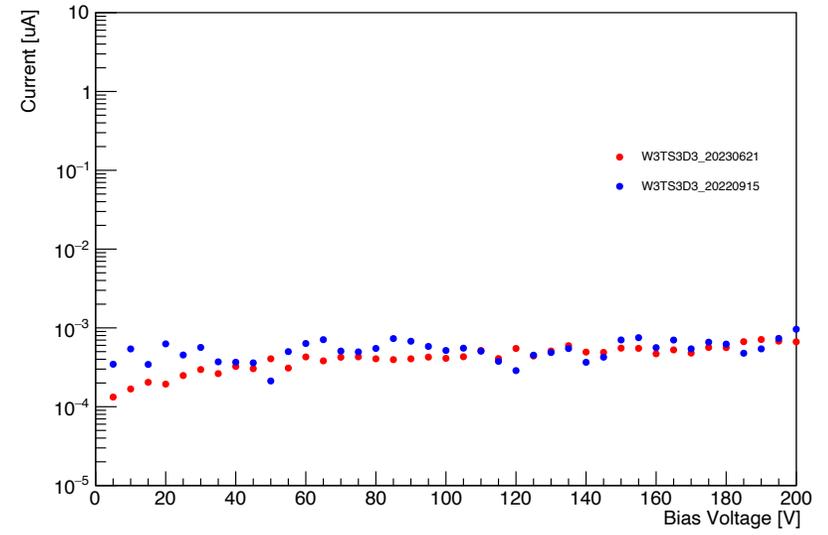
D1 IV



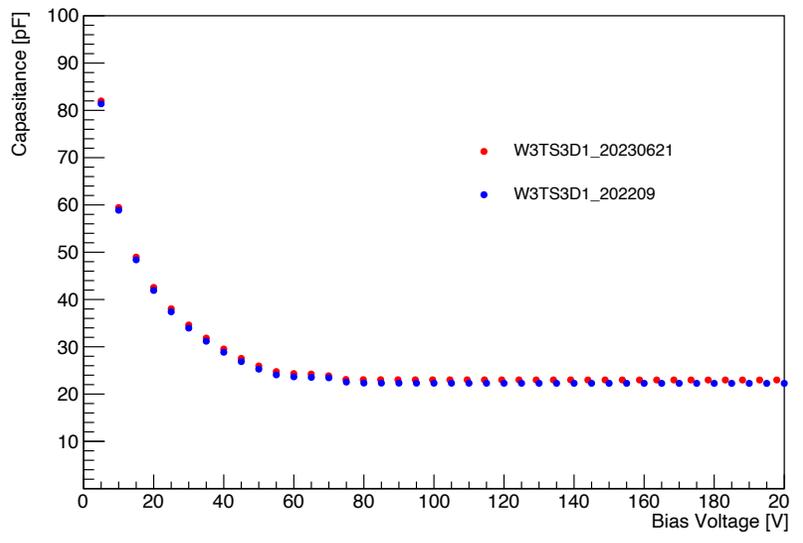
D2 IV



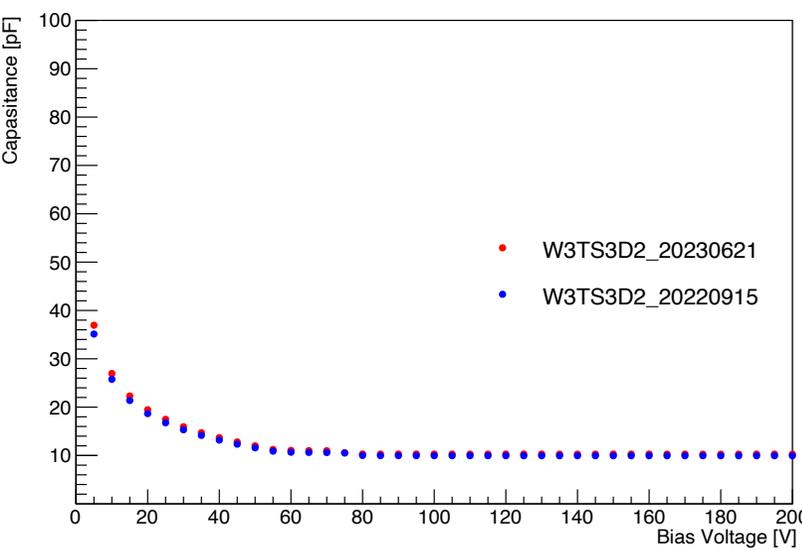
D3 IV



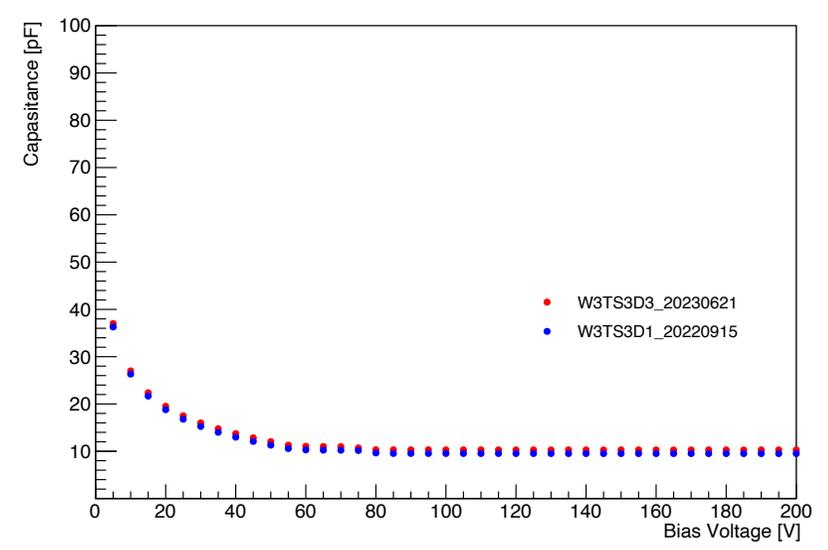
CV



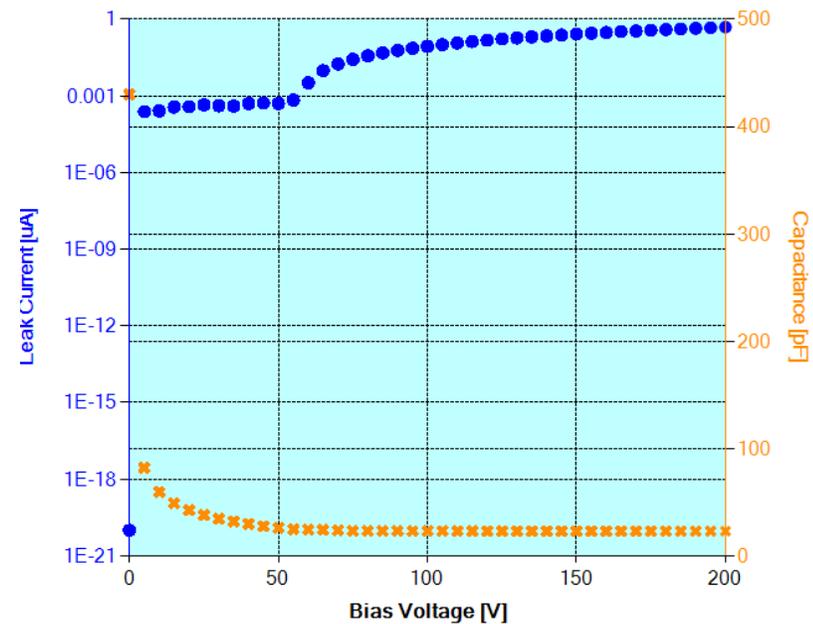
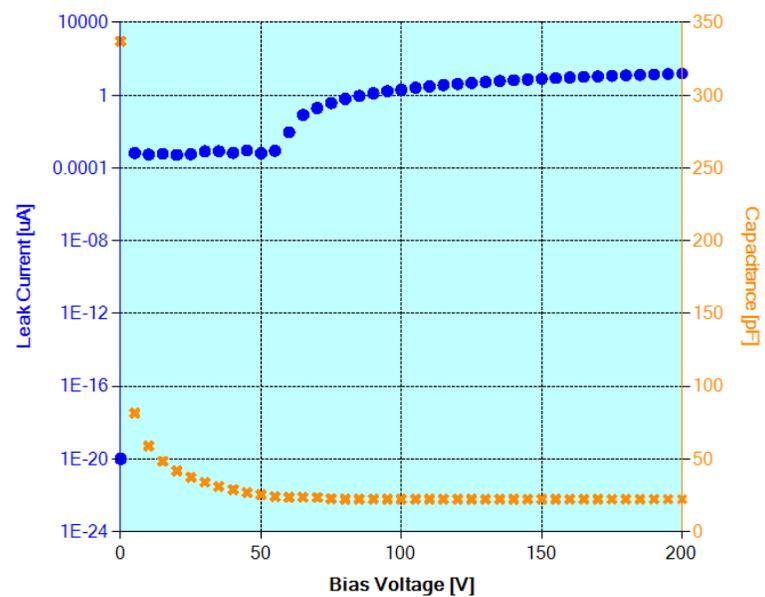
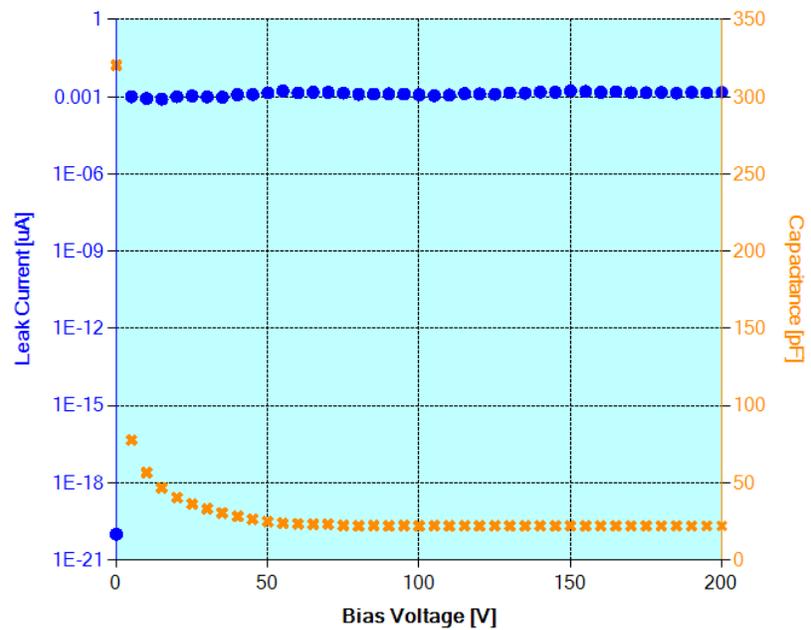
CV



CV



D1のIVについて

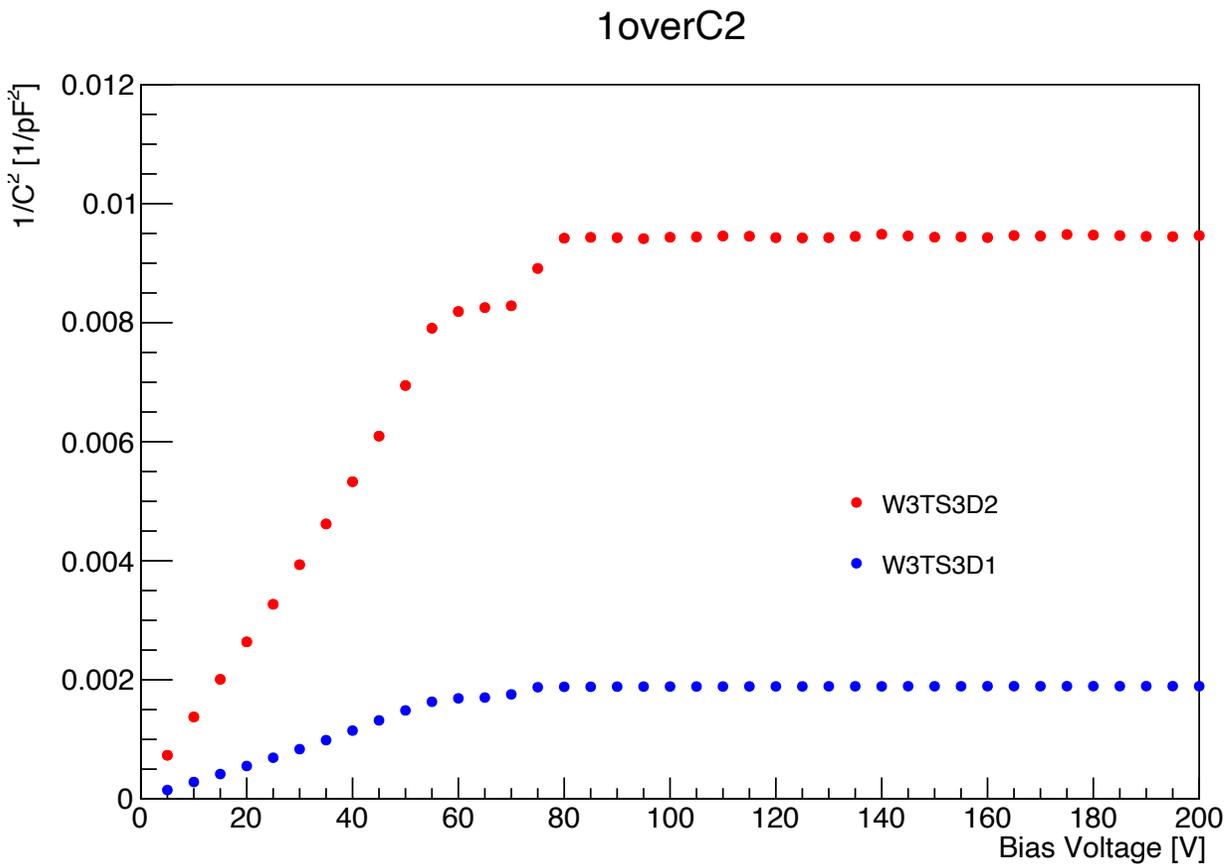


2022/09/15/正午

2022/09/15/am6

2023/06/21

全空乏化電圧について



2段階の全空乏化が見られる
→エッジ効果で説明できる

飯坂さん修論より

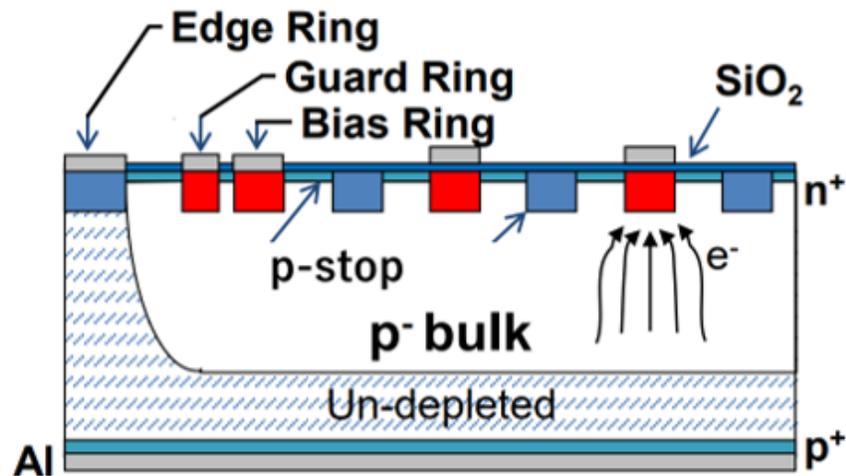


図 6.7 エッジ周辺の構造 [19]

図 6.7 のように、半導体センサーにはインプラントされた n 型と p -stop 以外に端の部分に内側から順番に n 型のバイアスリング、ガードリング、そして p 型のエッジの部分の順に並んでいる。バイアスリングと n 型のインプラントはどちらも GND に落ちている。一方エッジの箇所電圧は p 型バルクと共有となり、空乏化には寄与しない。電圧を印加していくと、空乏層が広がっていき、キャパシタンスの値は小さくなっていく。全空乏化した後、ガードリングの箇所がバイアスリングと切り離され、面積としては、小さくなる。その結果として、二段階の全空乏化電圧が出るということが起きる。この影響は全体に対するガードリングの大きさによって決まり、サイズが小さなダイオードでは顕著に表れている。

To do

全空乏化電圧の2段階のステップの幅をガードリングと全体の大きさから計算する。

厚みは150umと考えて良い。何種類かのダイオードから精度良く厚みを調べられるかも？

まだ測っていないテストストラクチャーを測ってみる。

ポリシリコン抵抗の抵抗値やinterpix capacitanceなどの計り方を知る。

Rootで3つ以上のプロットできるようにする。

注意 IVを測るときは温度を気にする