



高輝度 LHC-ATLAS 実験に向けた 初段ミュオントリガー試験システムの構築

成川 佳史 (東京大学)

2024年 2月21日 (水)
第30回 ICEPP シンポジウム

目次

- 高輝度LHC-ATLAS実験における初段ミュオントリガー
- シングルボード試験システムの開発
- MCデータを用いたトリガー回路の性能検証
- まとめ

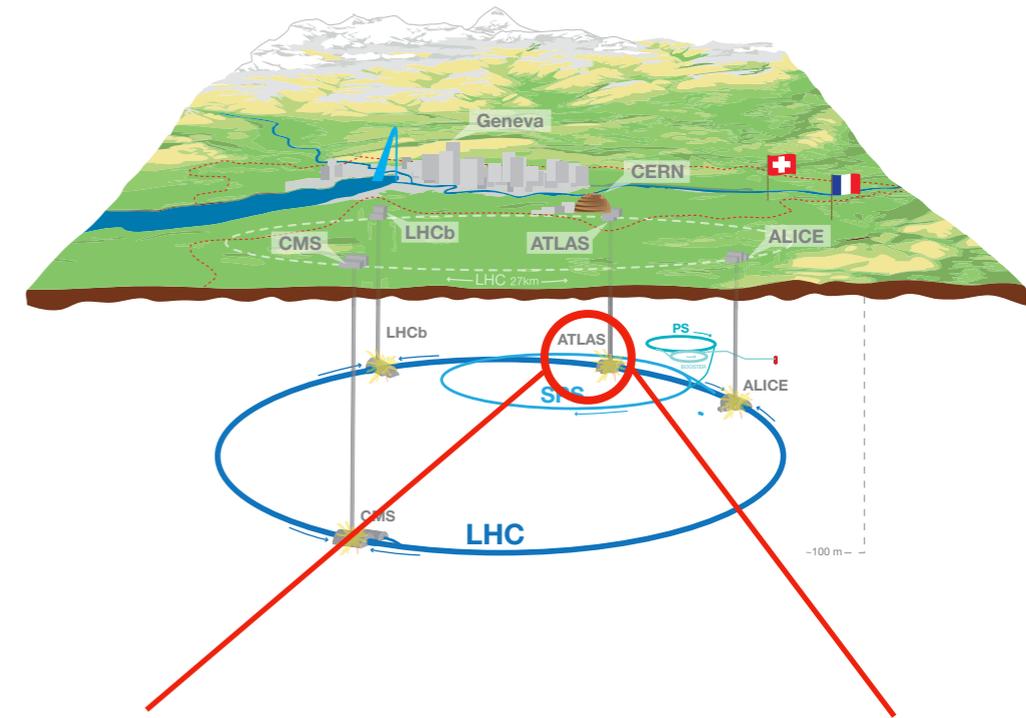
高輝度LHC-ATLAS実験

■ LHC 加速器

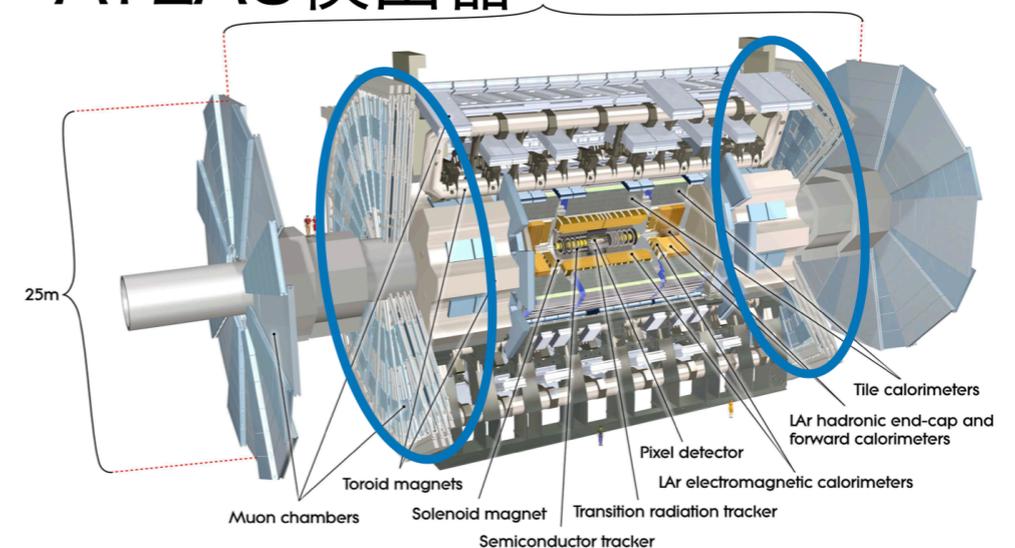
- 周長 26.7 kmの陽子-陽子衝突型加速器
- 世界最高エネルギー 13.6 TeV
- バンチ構造 (10^{11} 個 の陽子)
- 40 MHz の頻度でバンチ交差

■ 2029年から高輝度 LHC - ATLAS 実験が始まる

	LHC (Run3)	HL-LHC
Energy [TeV]	13.6	14
Peak luminosity [$\text{cm}^{-2}\text{s}^{-1}$]	2×10^{34}	$5 - 7.5 \times 10^{34}$
Integrated luminosity [fb^{-1}]	350	3000 - 4000



ATLAS検出器 ^{44m}



Thin Gap Chamber (TGC)

ATLAS実験におけるトリガーシステム

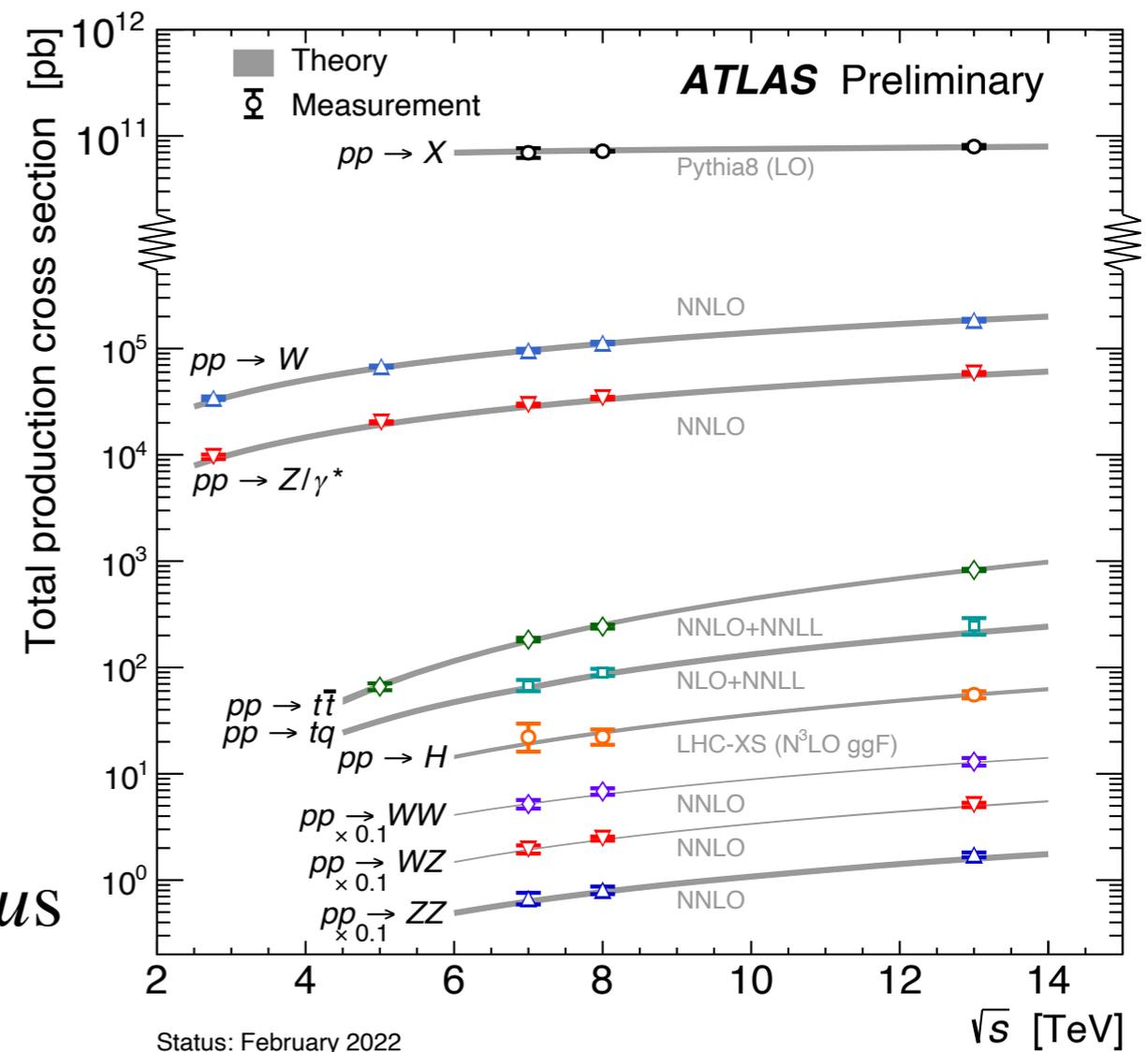
- 40 MHz の交差で生じる全ての信号を記録することは不可能 (~80 TBps)
- 陽子陽子衝突の全断面積に対して、興味のある事象の断面積は極めて小さい
 - ➔ 重要な衝突事象のみをオンラインで選別するトリガーシステムが重要

■ 2段階のトリガーシステム

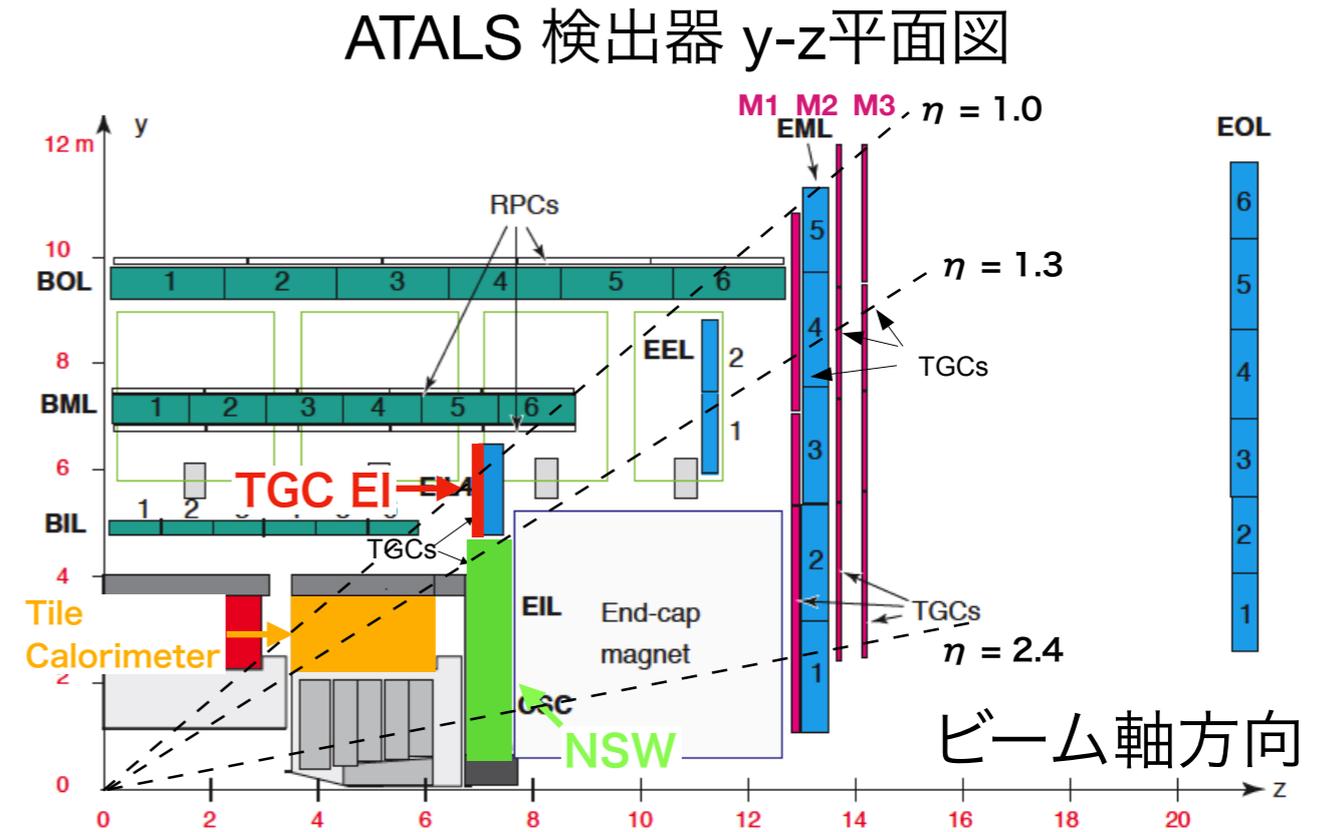
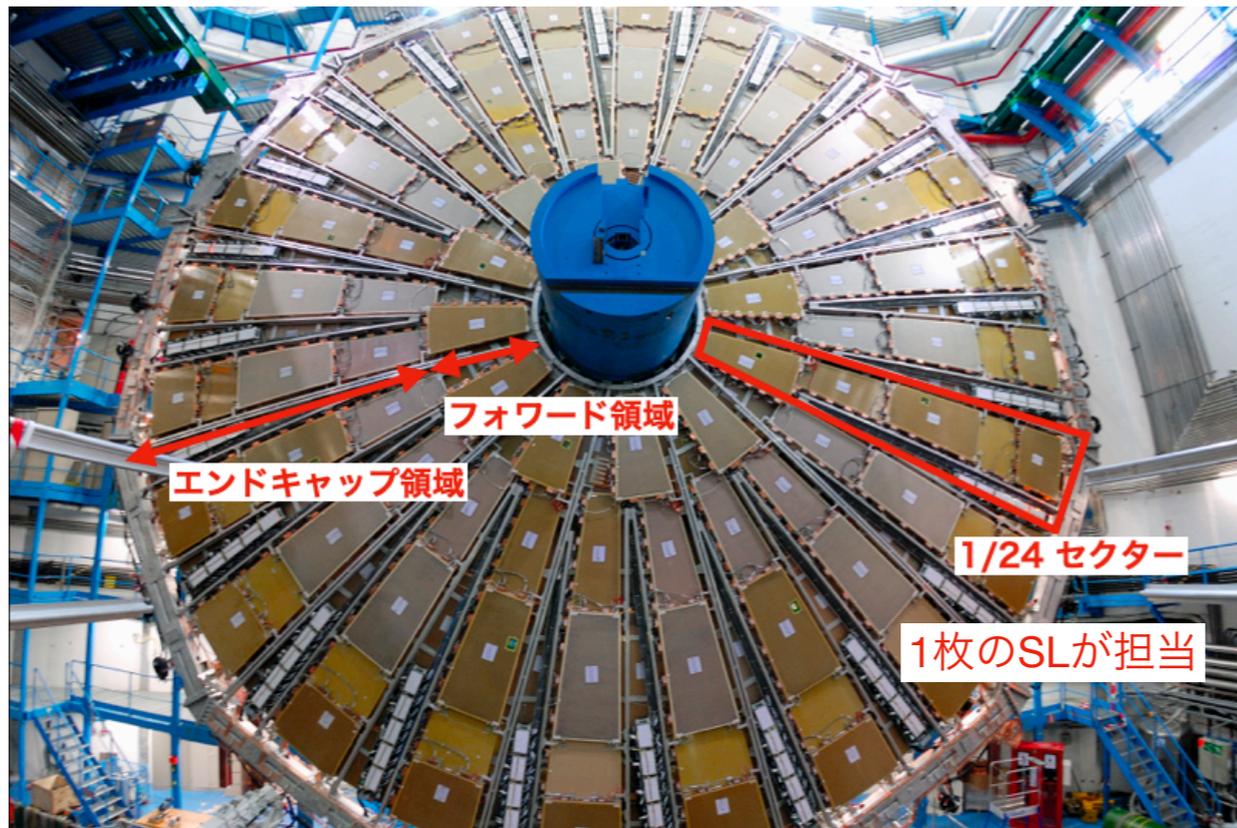
- 初段トリガー (ハードウェア)
- 後段トリガー (ソフトウェア)

■ 初段トリガーシステムがアップグレード

- トリガーレート : 100 kHz -> 1 MHz
- トリガーレイテンシー : $2.5 \mu\text{s}$ -> $10 \mu\text{s}$



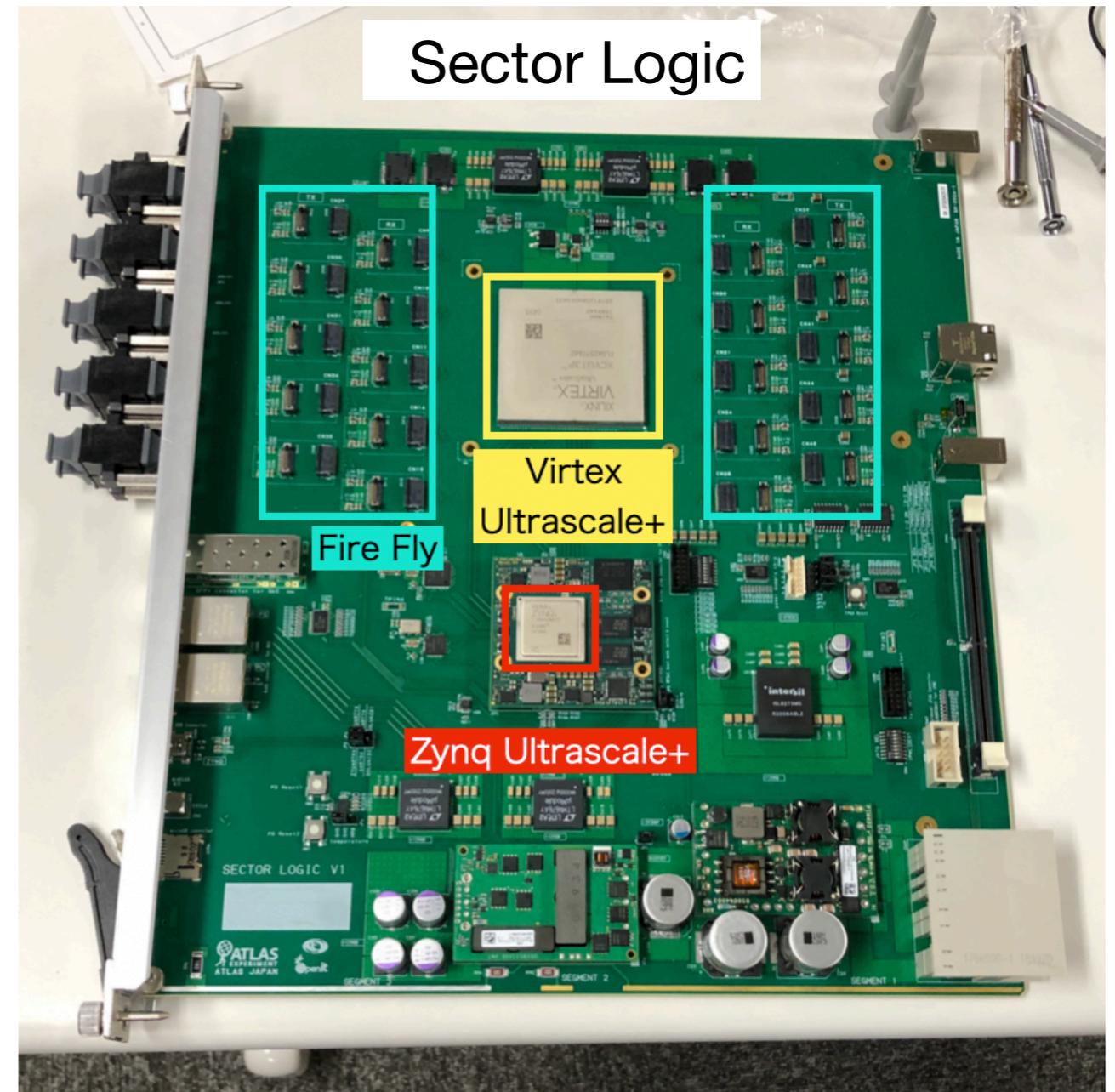
TGC 検出器の概要



- ミューオンの位置、横運動量を測定する初段ミュオントリガー用検出器
 - R方向 (ワイヤー), ϕ 方向 (ストリップ) の2次元読み出しMWPC (~32万チャンネル)
 - ビーム軸方向に3つのステーション、2層または3層のガスチェンバー
 - 初段トリガーアップグレードに伴い、読み出し・トリガーエレクトロニクスを刷新
 - 読み出しの高度化 (1MHzの高速読み出し、10 usのバッファ)
 - トリガーの高度化 (3ステーション全てのヒットを利用した柔軟なロジック)

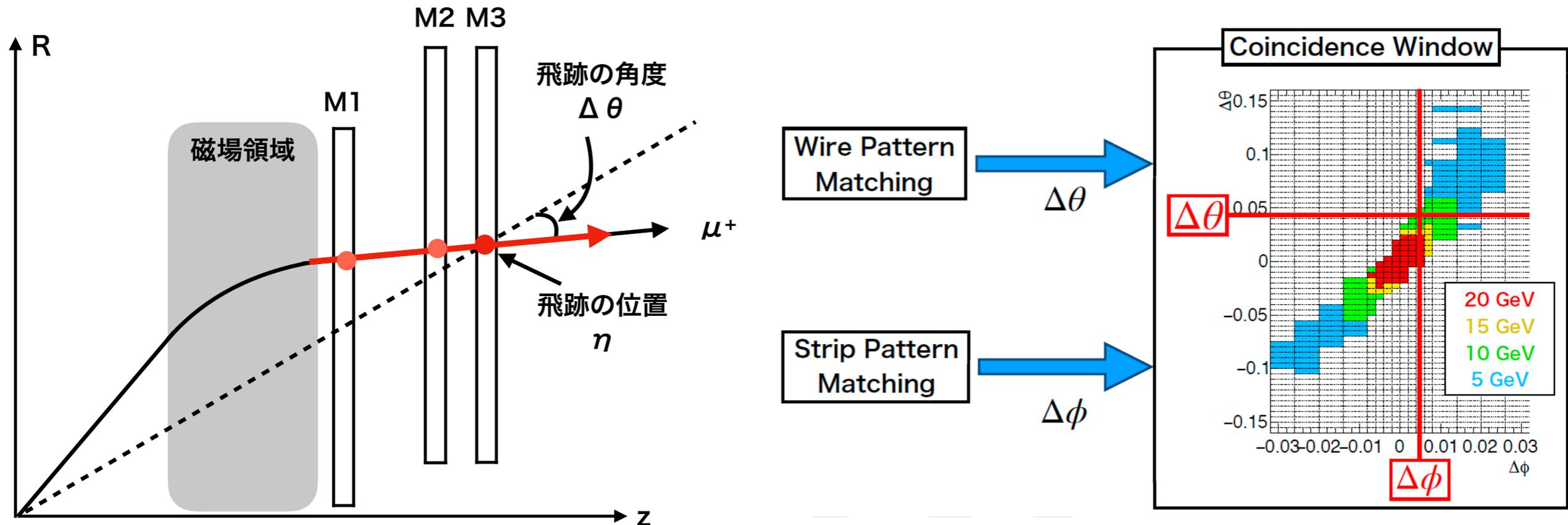
Sector Logic (SL) の概要

- **Virtex Ultrascale+ FPGA**
 - 4つのシリコンダイ
 - ~ 10 Gbps x 128 ch の I/O
 - 読み出し、トリガー
- **Zynq Ultrascale+ MPSoC**
 - プロセッサ領域にLinuxを起動
 - イーサネット通信
 - FPGAに対する制御マスター



初段ミュオントリガー論理回路

- 衝突点から飛来するミュオンはトロイド磁場で曲げられる
 - 飛跡の曲げられた”角度”を用いて横運動量 (p_T) を概算
 - 6段の連続的なモジュールによる演算で実装される大規模なロジック
 - 各ステーションのヒット点の組み合わせからLUTを利用して飛跡の角度を算出
 - ワイヤ・ストリップでそれぞれ算出した角度情報から p_T を概算



トリガー論理回路のリソース使用量

SLリソース使用量

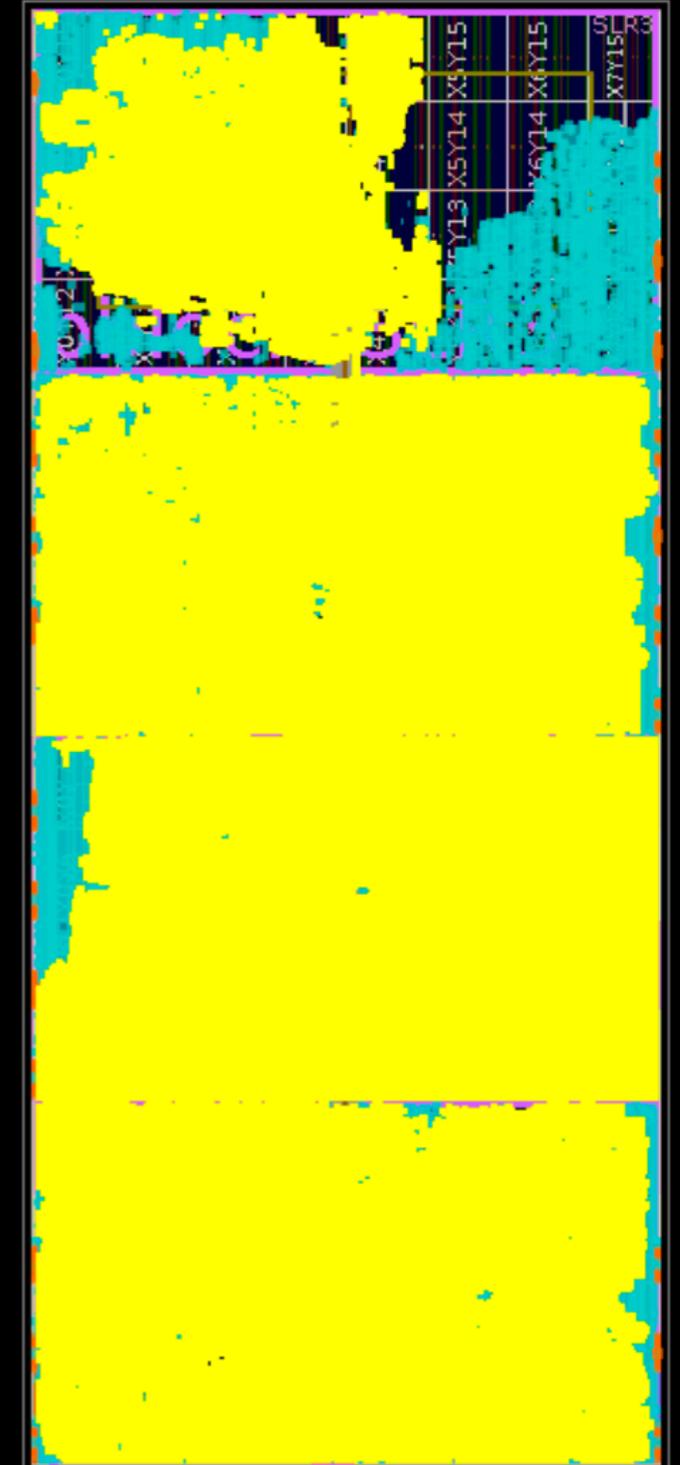
	CLB (%)	BRAM (%)	URAM (%)
SLR 3	50.1	33.2	20.3
SLR 2	93.25	80.2	51.6
SLR 1	99.2	28.9	50
SLR 0	91.6	74.4	51.6

SLR3

SLR2

SLR1

SLR0

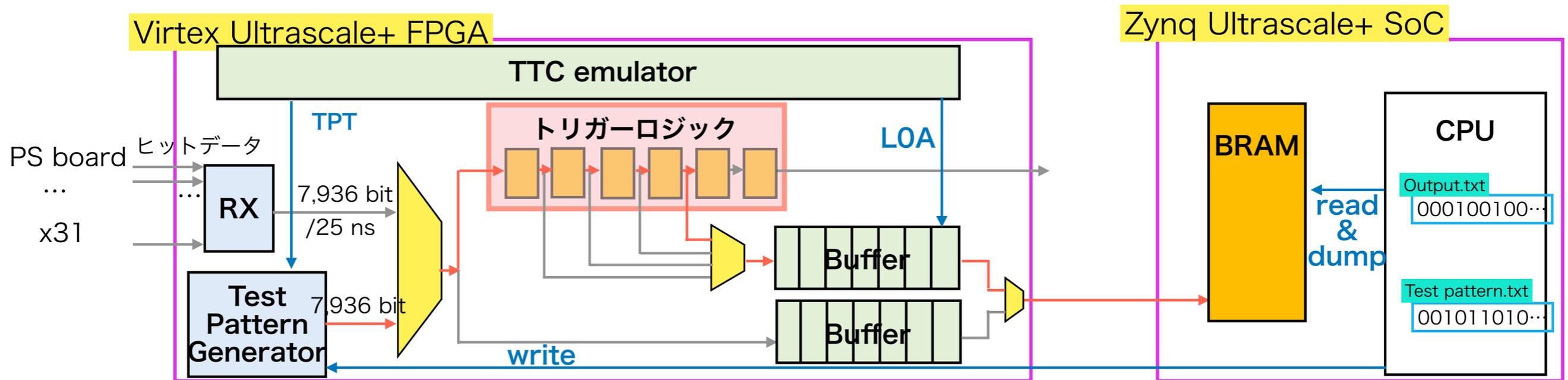


■ トリガー論理回路

シングルボード試験システムの開発

- これまでにトリガー論理回路開発が進められてきた
 - ➔ 実機を用いた動作検証・性能評価が重要
- このままでは前段回路や読み出し回路とのシステム統合が完了するまで試験することができない

-> SoCを活用したシングルボード試験システムを新たに開発



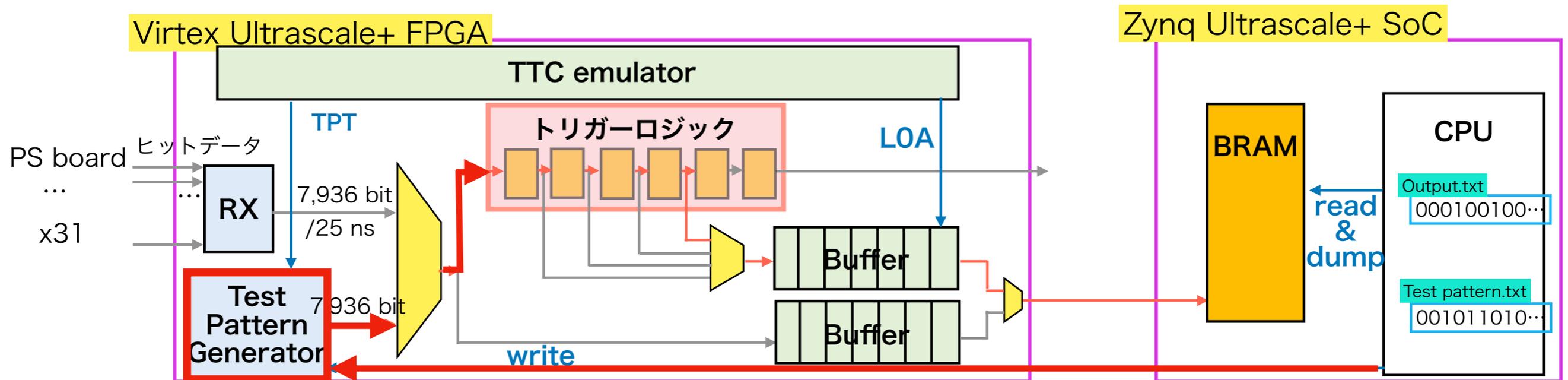
ファームウェア実装

■ 全体像

- MPSoC上のLinuxを起点にデータ入力、出力の読み出しを制御

■ トリガー回路へのデータ入力

- 前段回路からのヒットビットマップ (7936 bit) をエミュレートしたテストパターン
- Dual port BRAM に格納 (深さ 60)
- Linuxからテストパターンを書き換え -> 任意のイベント数での試験



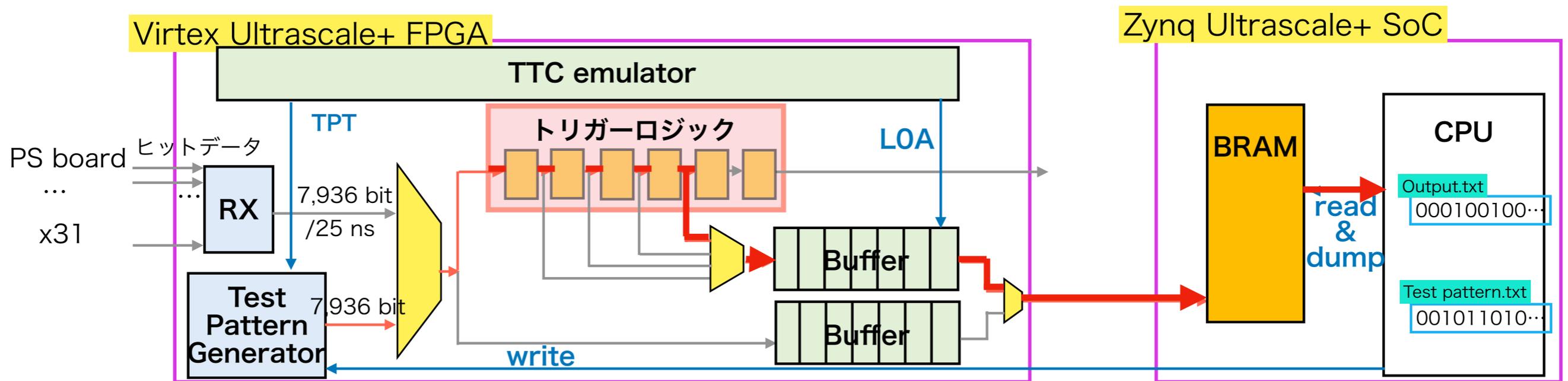
ファームウェア実装

■ トリガー中間データ読み出し回路

- 中間データをスイッチで切り替えて読み出し可 -> 詳細なデバッグ
- FPGAからSoC上のBRAMにダンプ

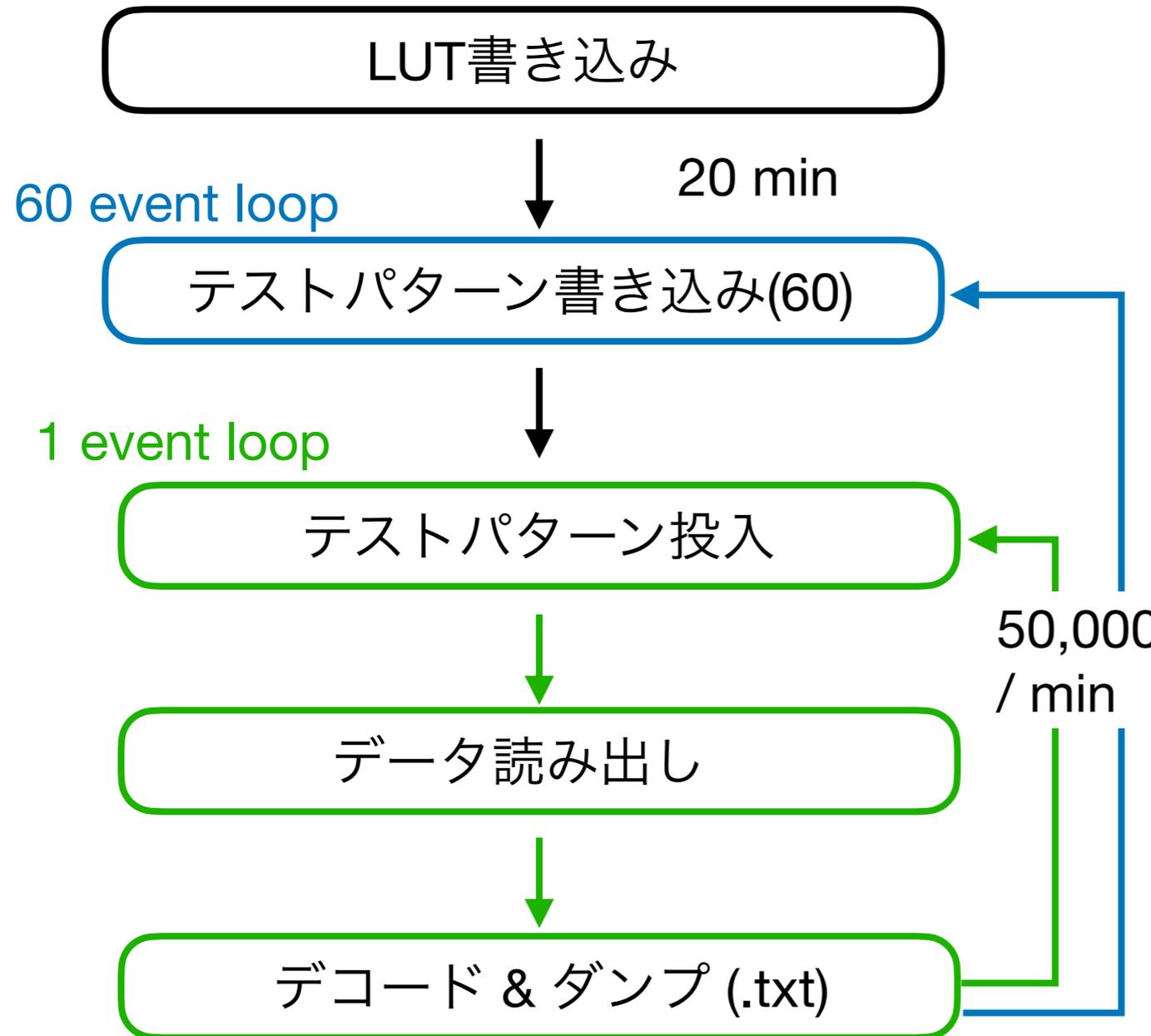
■ 高速データ読み出しのための工夫

- CPU -> BRAM のアクセスにかかる時間が律速 O (~10 us)
→ データ圧縮 (飛跡情報を再構成できた単位領域のみを読み出す)



アプリケーション実装

- MPSoC上のLinuxで走らせるapp (C++)



- LUT (.txt , ~ 20MB x 3)

RAM addr	Addr	Data
0 100 418	8230e08b3822520884	
0 100 419	8630e18b3862900000	
0 100 41c	000000000822520874	
0 100 41d	8634e18c3862921884	

- Test Pattern (.coe , ~ 2KB x 63)

```

memory_initialization_radix=16;
memory_initialization_vector=
0,
00000000000000000000000000000000,
000000000010001000000000000000,
000000000000000000000000000000,
000000000000000000000000000000,
  
```

- Output (.txt , ~ 400MB / 500 K)

```

-----eventnum = 1
TR0data.f28 = 00000000000000000000000000000000
00000000000000000000000000000000
00000000000000000000000000000000
00000000000000000000000000000000
00000000000000000000000000000000
00000000000000000000000000000000
00000000000000000000000000000000
TR0data.f29 = 00000000000000000000000000000000
  
```

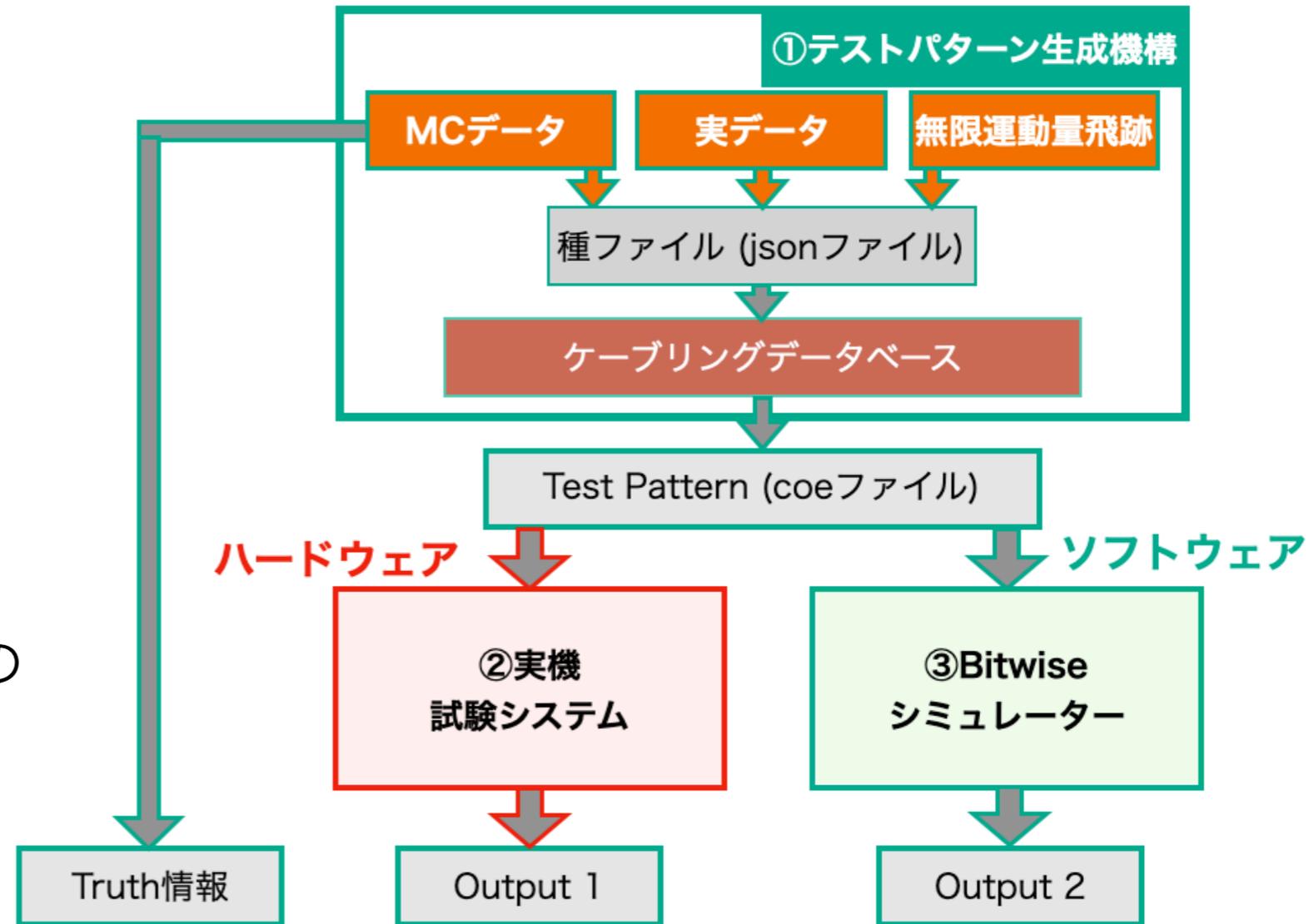
トリガー検証機構の全体像

■ テストパターン生成機構

- ヒットチャンネル情報
- ケーブリングデータベース

■ シミュレーター

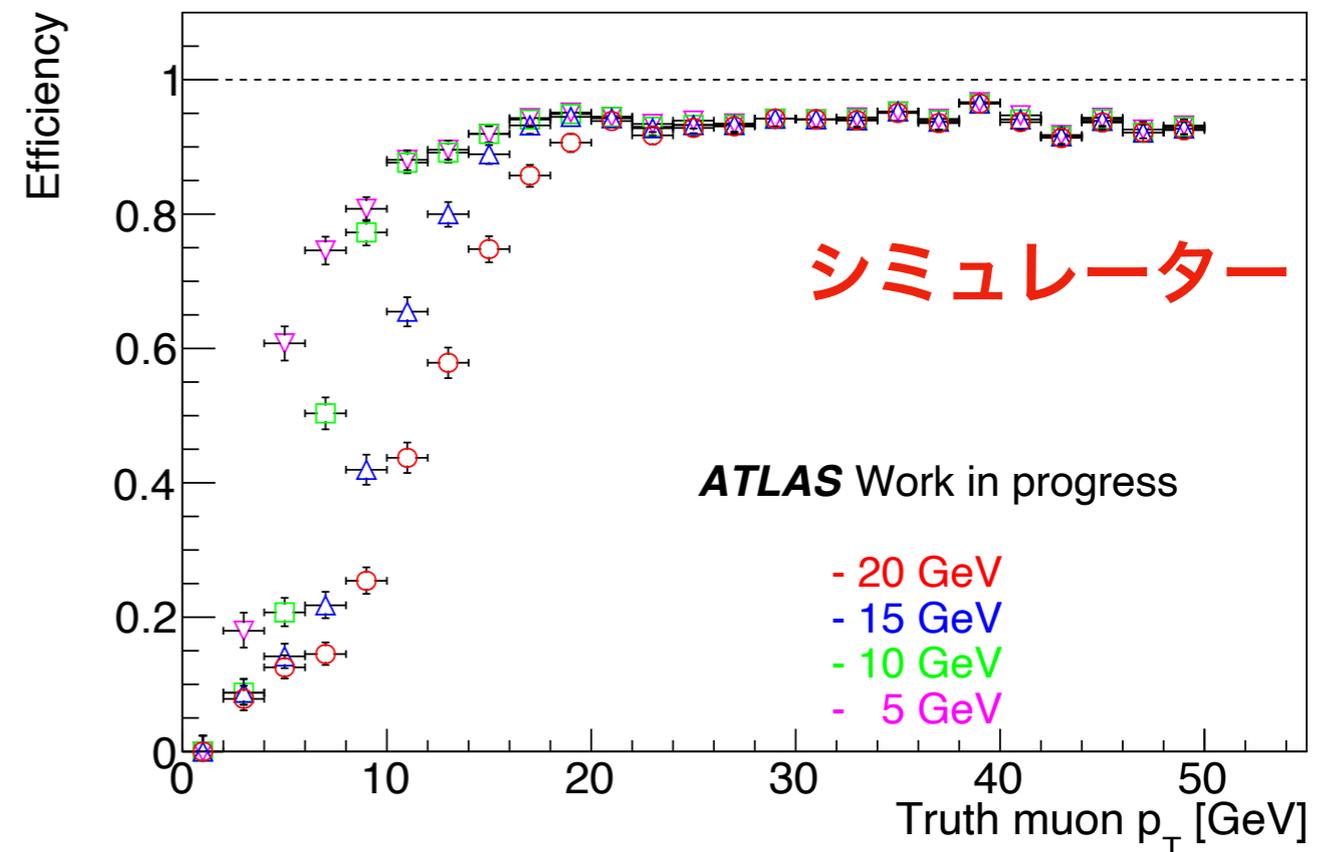
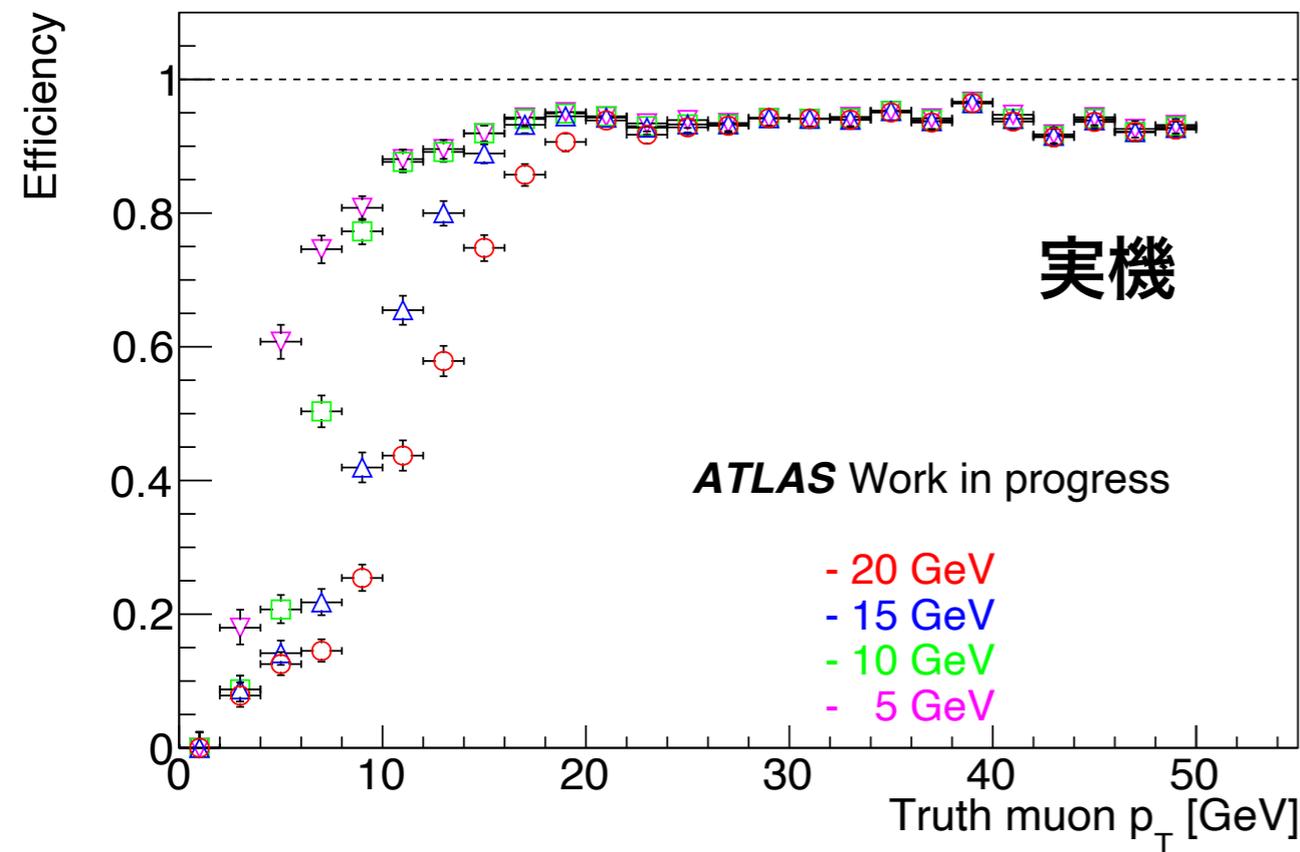
- 論理回路を模したC++ベースのシミュレーター
- 実機と共通の入出力で動作



実機と**シミュレーター**の出力を系統的に比較することで盤石な検証を実現

開発した試験システムを用いた性能検証

- 大統計量のシングルミュオンMCデータを用いた詳細な試験
 - 500 K イベント、パイルアップなし、 $0 < p_T < 50$ GeV flat、検出器全領域 flat



- ✓ 期待通りの高いトリガー効率 (~94 %)を達成
- ✓ 実機とシミュレーターが高い精度で一致
- Low p_T イベントの除去効率が低い

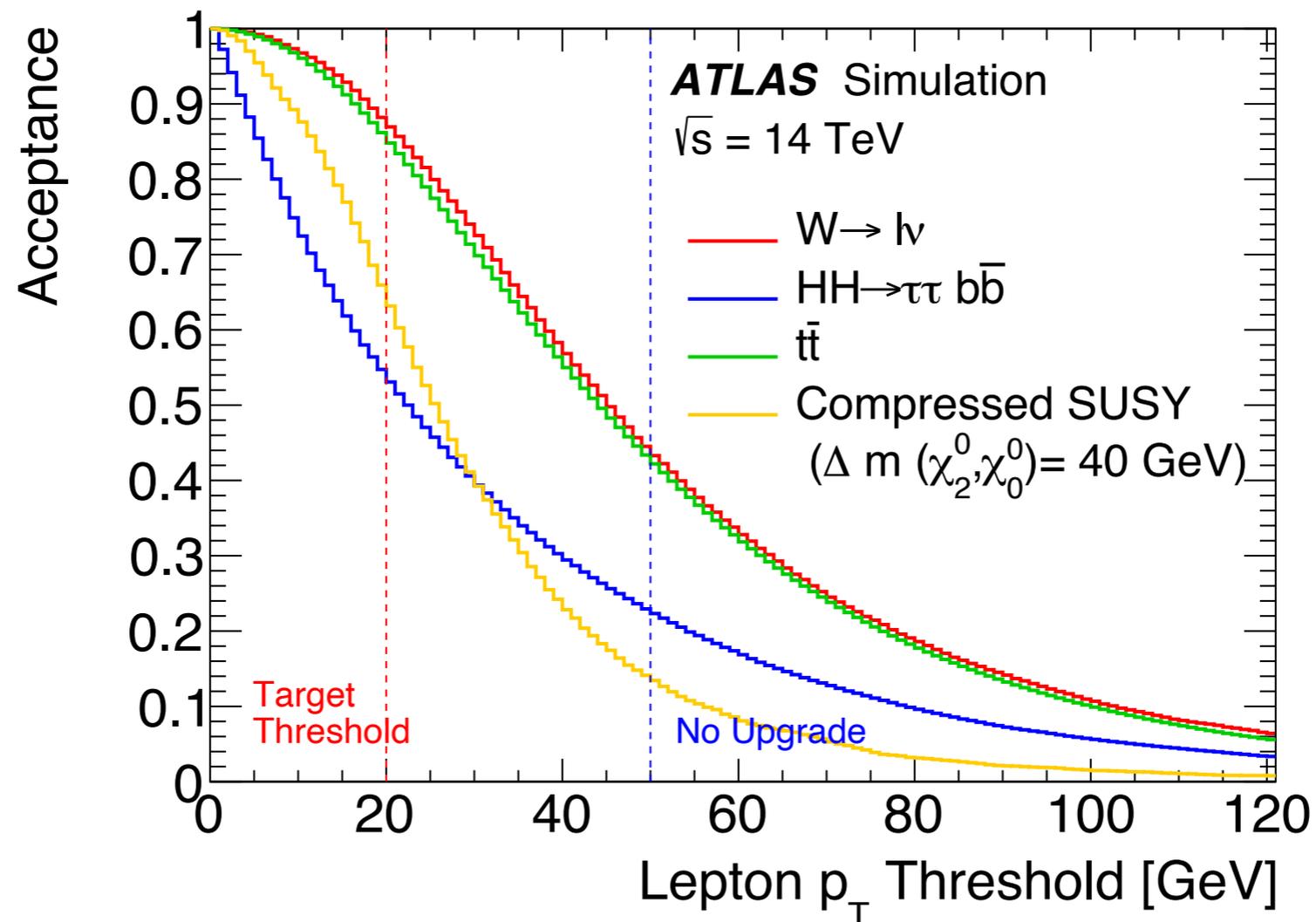
まとめ

- 高輝度LHC-ATLAS実験に向けて初段ミュオントリガー回路を刷新
 - 実装した論理回路に対する実機を用いた動作検証・性能評価が必要
 - SoCを起点に試験を完結させる、シングルボード試験システムを開発
 - トリガー回路へのテストパターン入力
 - トリガー中間データ読み出し回路
 - 高速読み出しのための工夫
 - アプリケーション実装
- ➔ **大統計のMCデータに対するトリガー応答を実機を用いて試験可能に**
- 大部分の領域で期待されるトリガー効率を実現できていることを初めて確認
 - 一部の不具合に対するデバッグに取り組み中

Back up

初段トリガーアップグレード

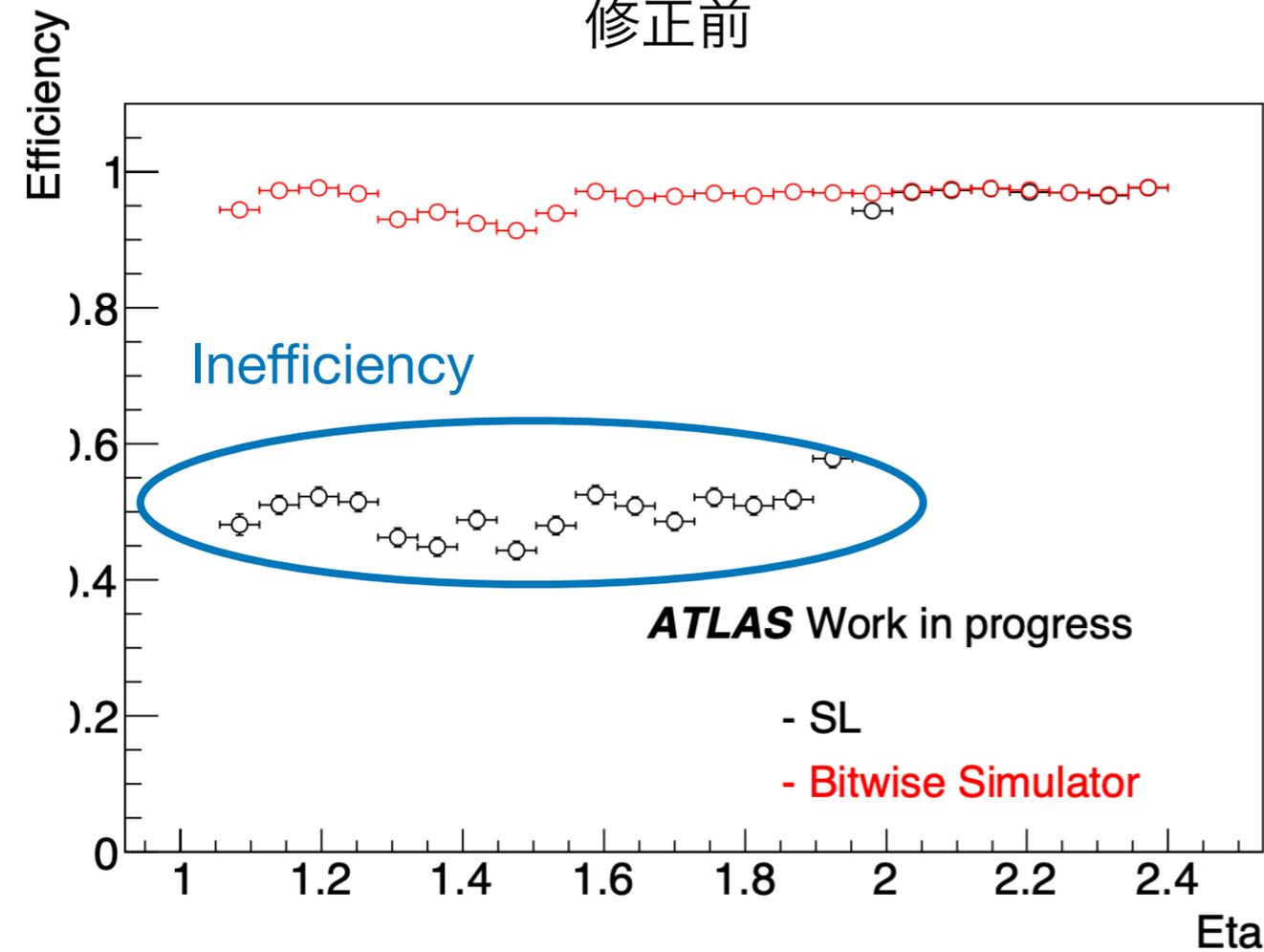
- 初段トリガーシステムがアップグレード
 - トリガーレート : 100 kHz \rightarrow 1 MHz
 - トリガーレイテンシー : 2.5 μ s \rightarrow 10 μ s



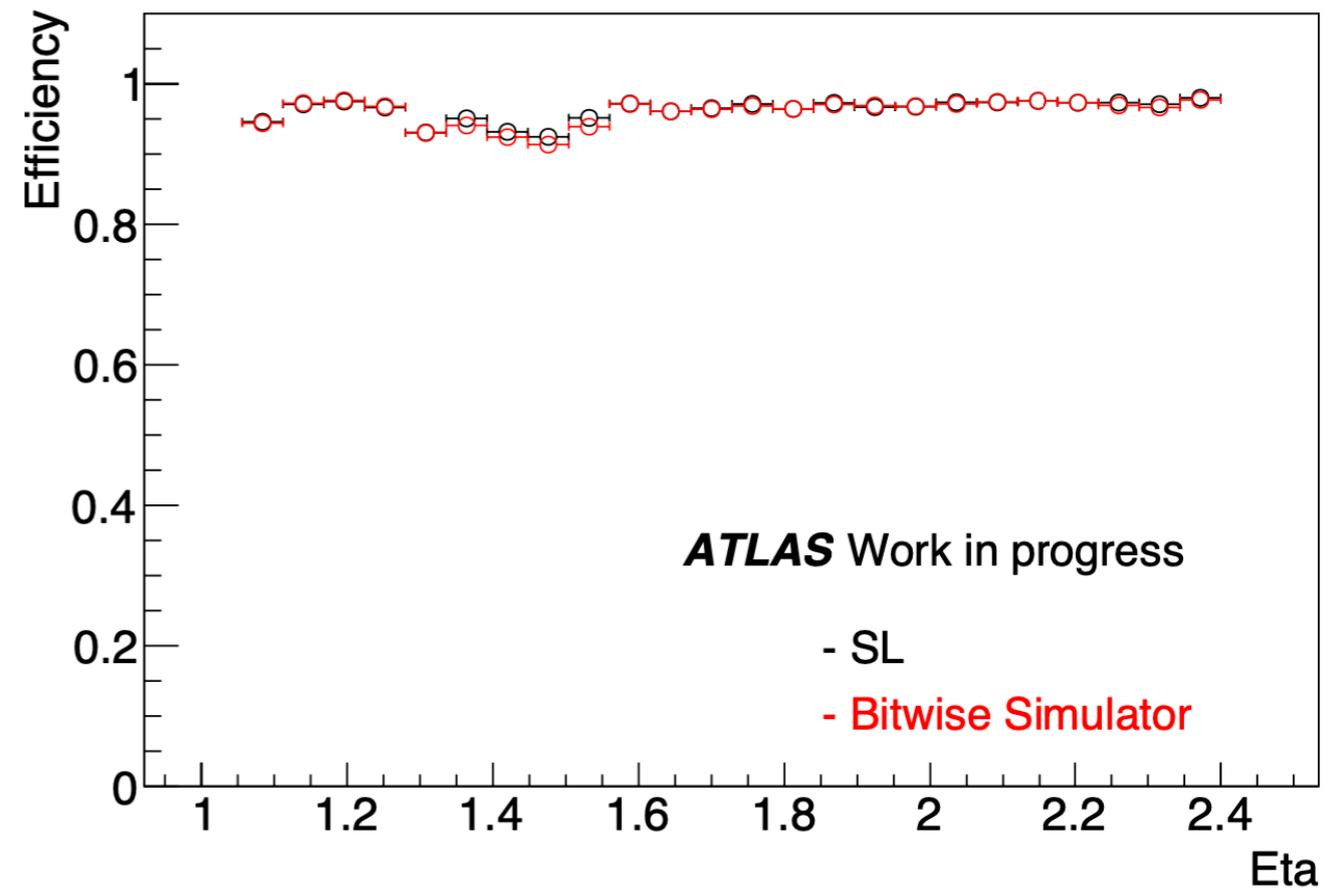
開発した試験システムを用いた性能検証

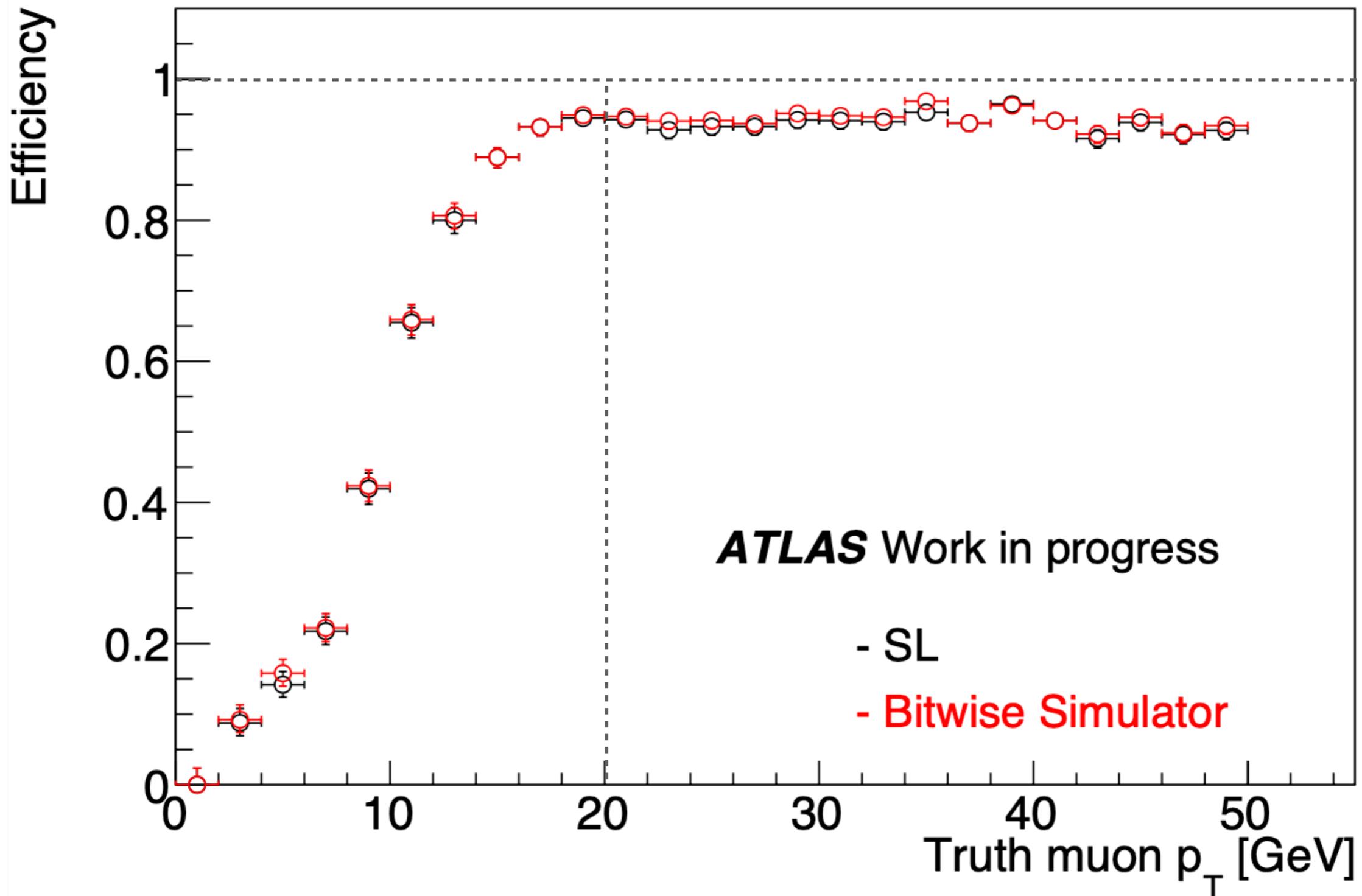
- $p_T > 20$ GeV イベントに対するWire コインシデンスのEfficiency

修正前



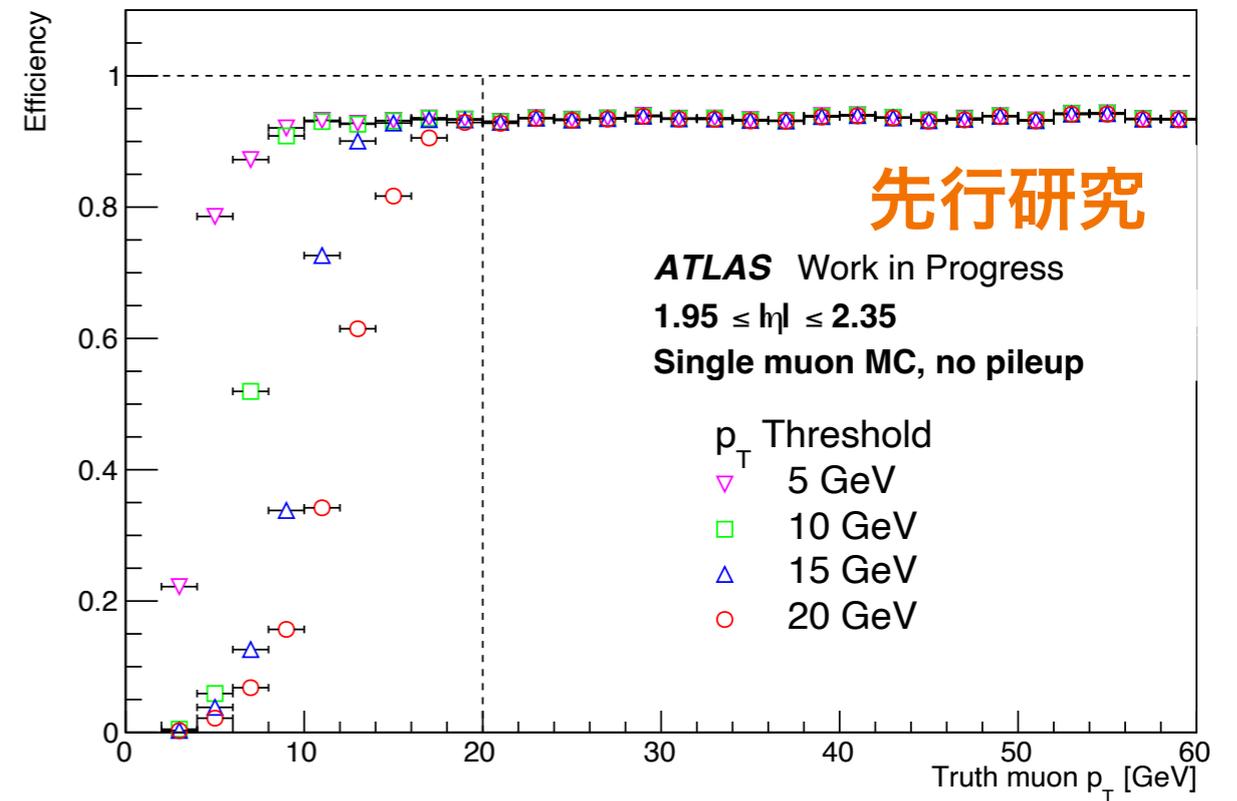
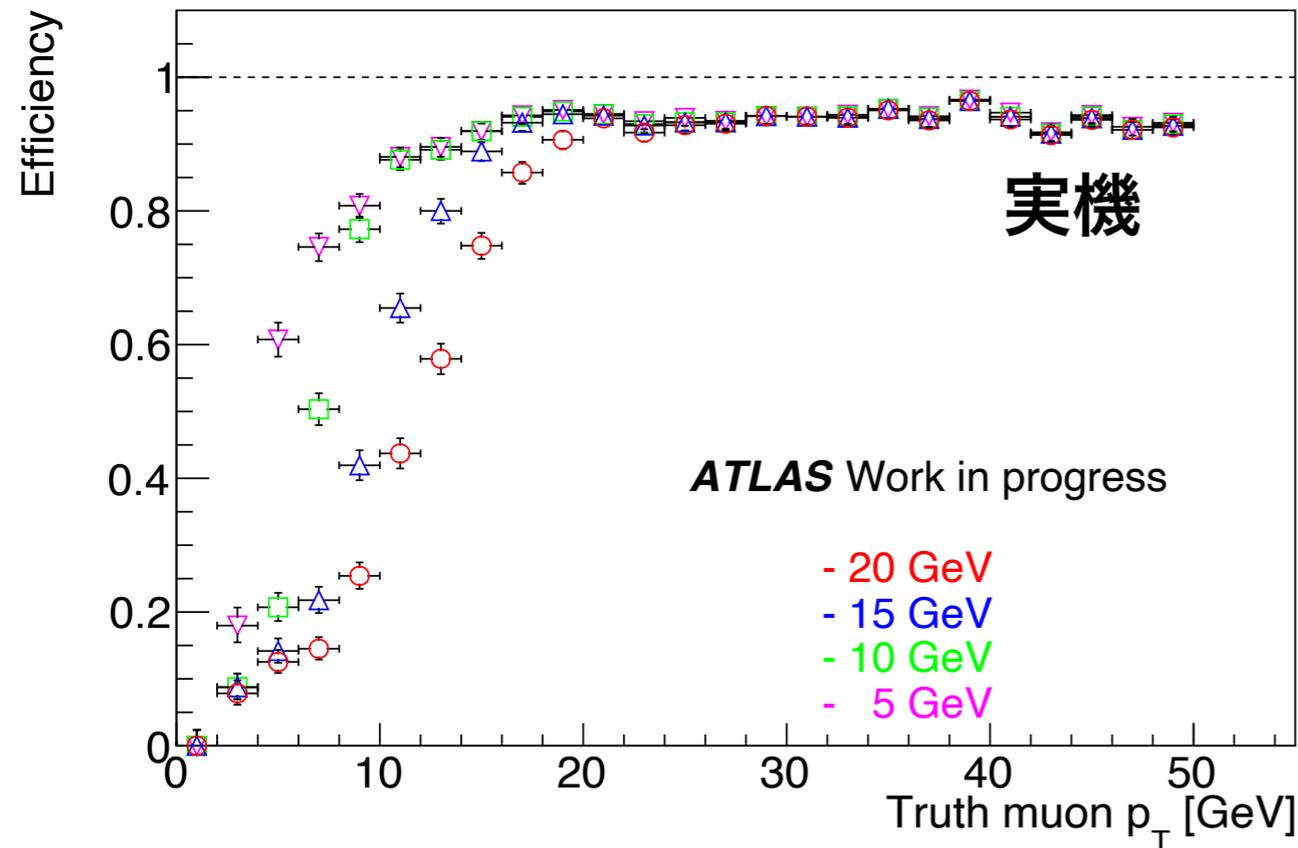
修正後





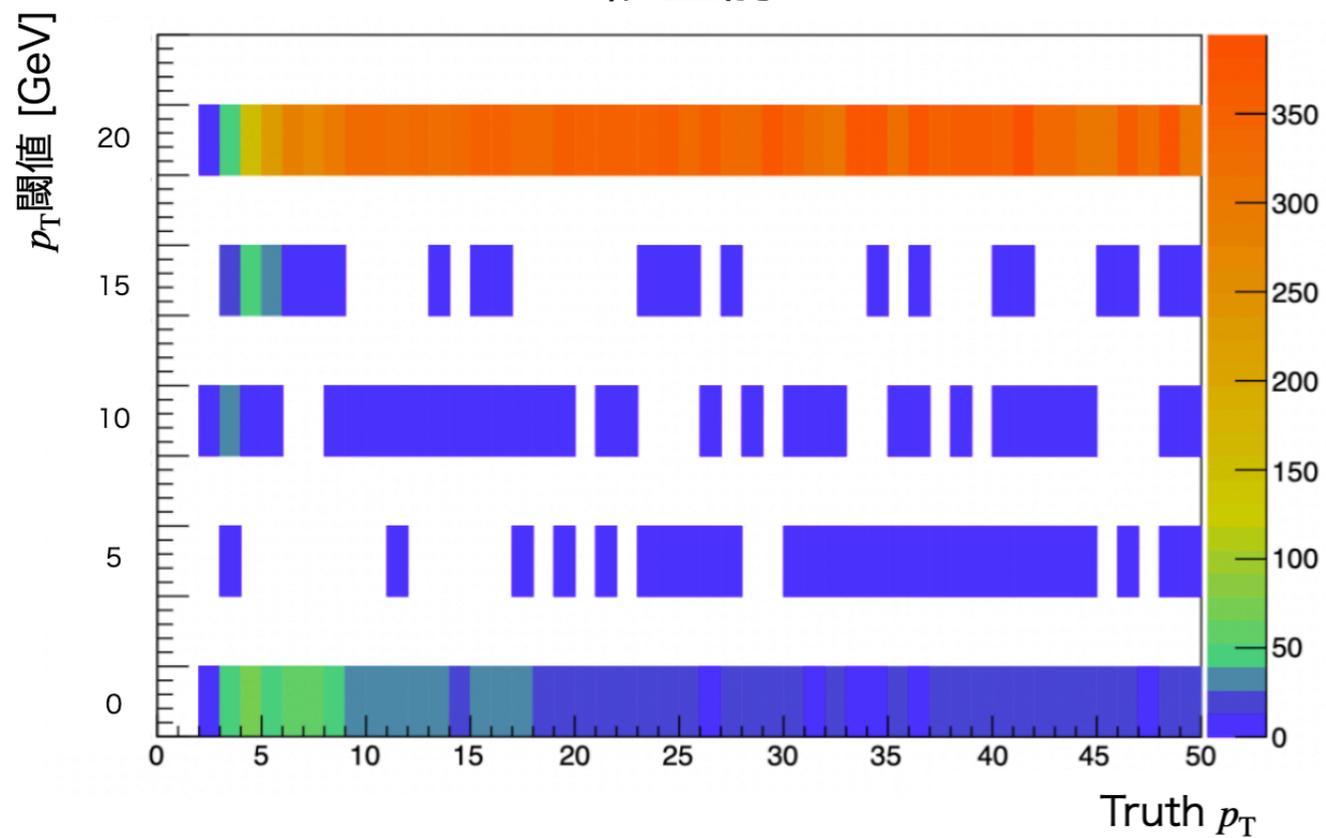
現在までの到達点

- p_T 閾値ごとのトリガー効率 (フォワード領域)

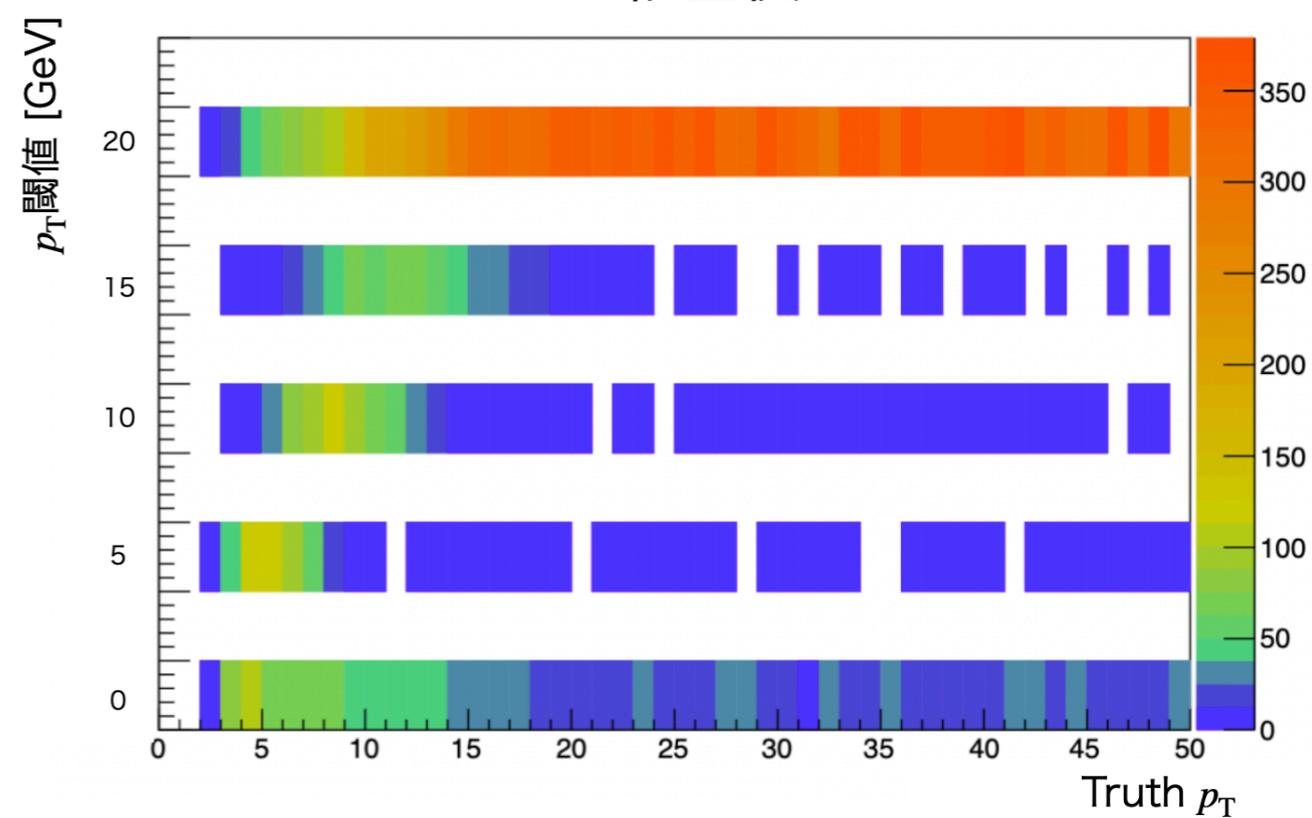


- Low p_T ミューオンに対する誤った p_T 閾値判定に関する調査 (LUT)
- エンドキャップ領域に存在する局所的なInefficiency の修正 (論理回路)

修正前

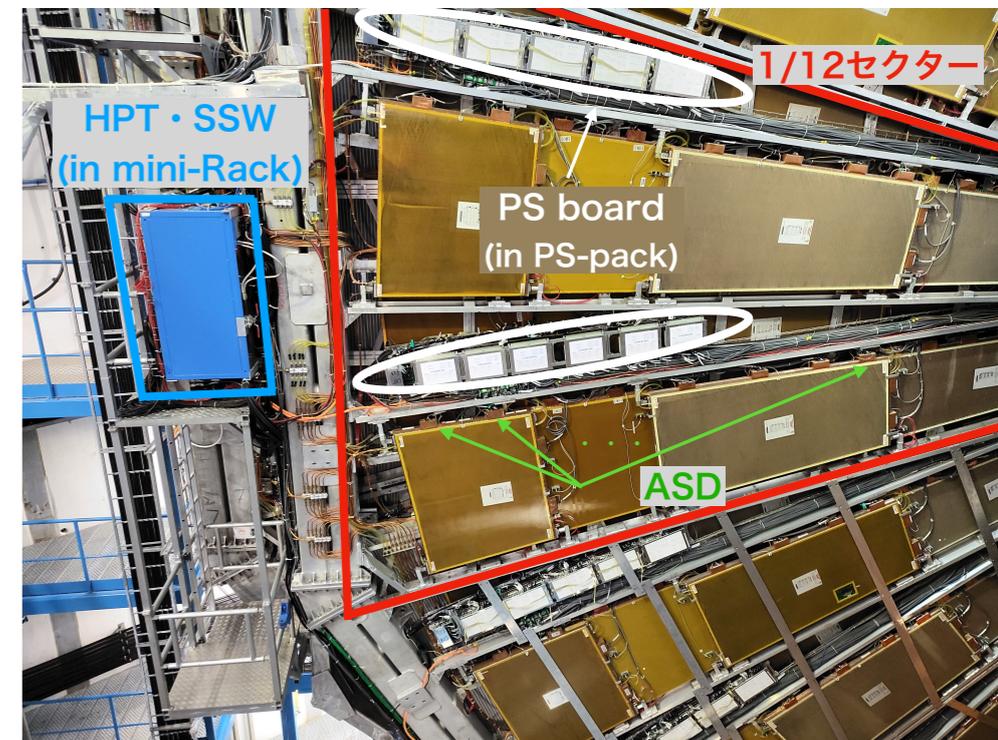
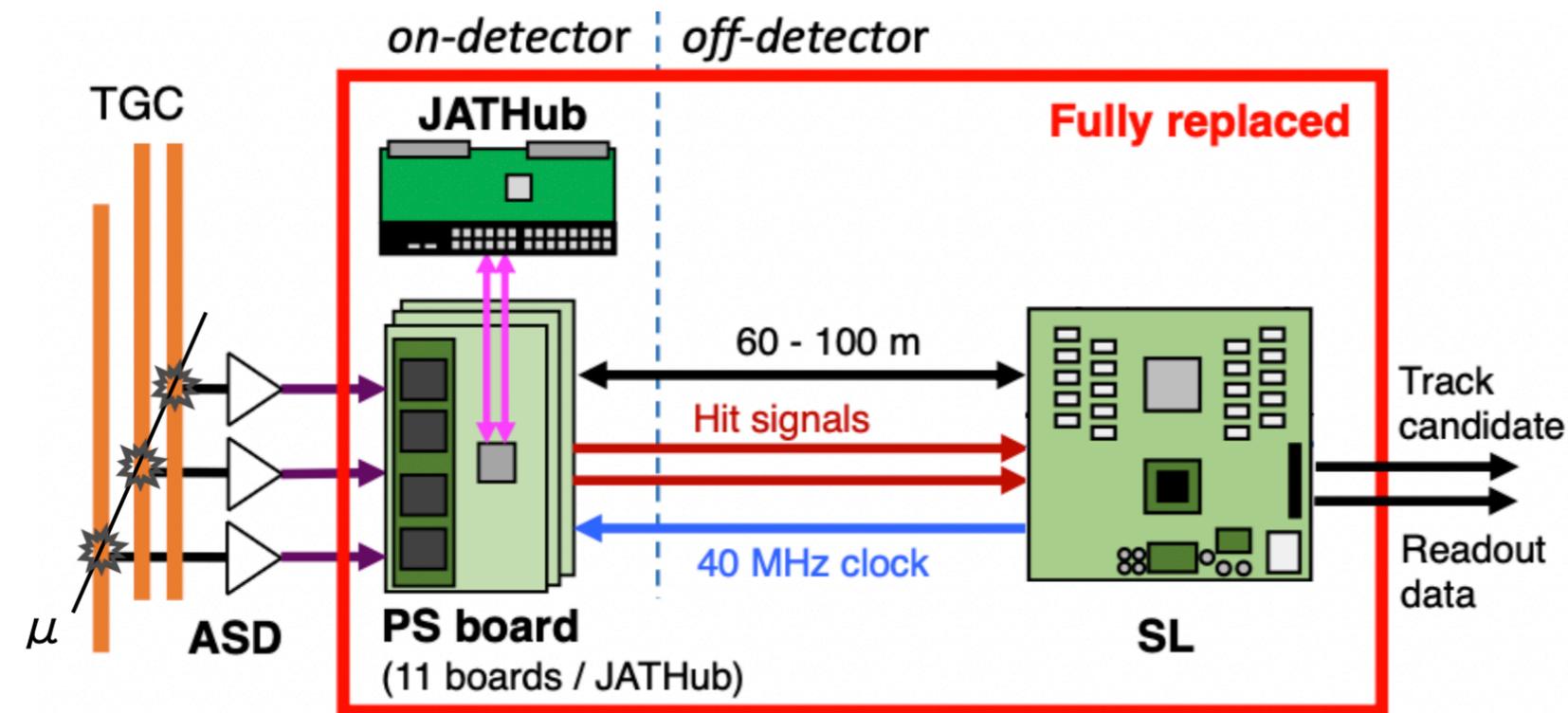


修正後



TGC 検出器エレクトロニクス

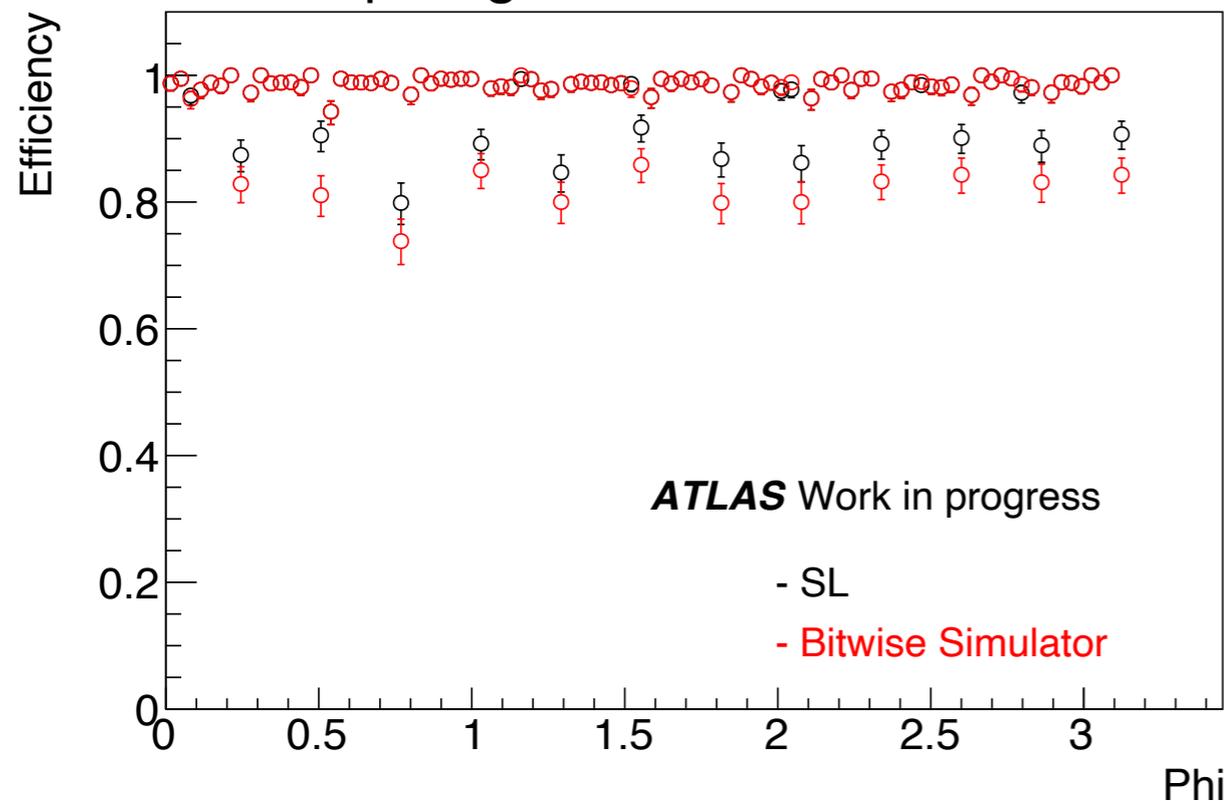
- **ASD** (~ 2万3000枚) : 閾値電圧との比較によりデジタル信号を生成
- **PS board** (1434枚) : 陽子バンチ交差と同期、ヒットビットマップ生成
- **SL** (48枚) : 横方向運動量の概算、読み出し、前段回路の制御



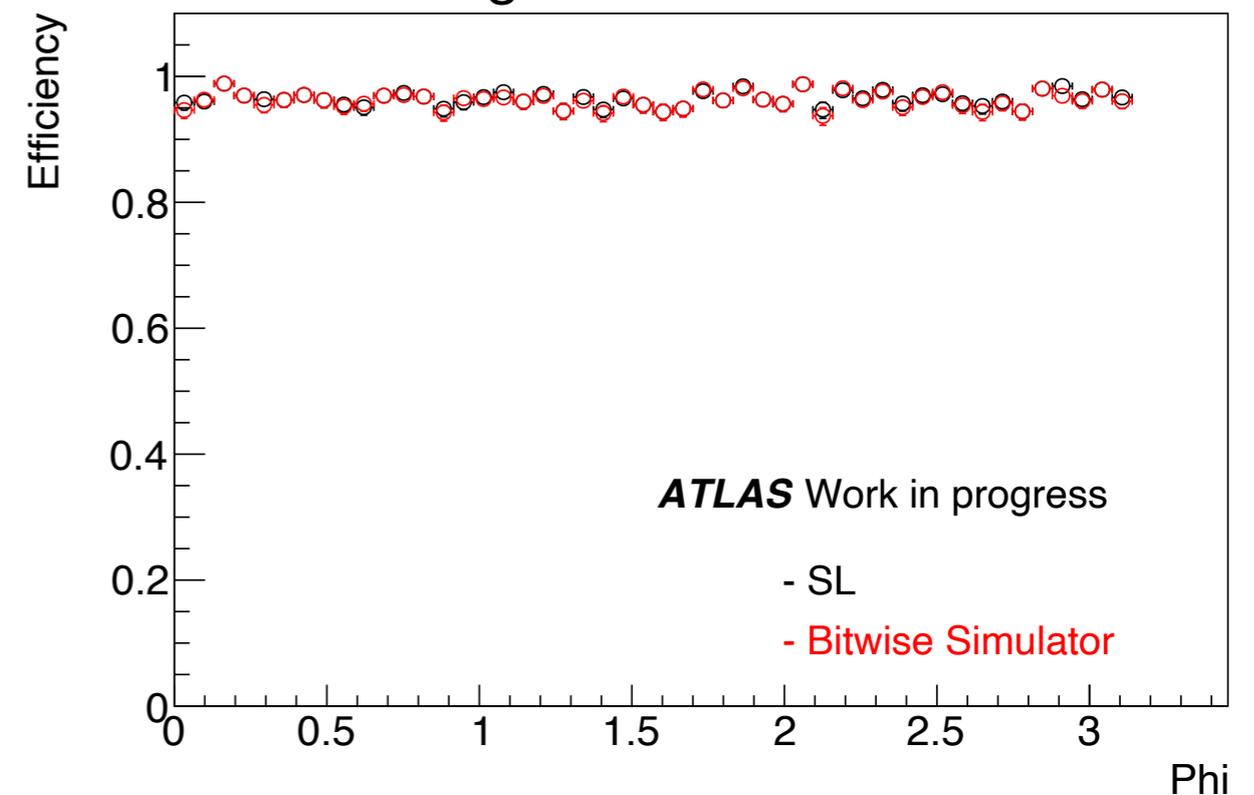
開発した試験システムを用いたトリガー回路デバッグ

- 大統計量のシングルミュオンMCデータに対するトリガー効率を測定
 - 現実的な物理過程 (チェンバーを素通り、多重散乱) を考慮したトリガー性能
 - 500 K イベント、 $0 < p_T < 50$ GeV flat、検出器全領域 flat

Strip Seg Reco のトリガー効率



Wire Seg Reco のトリガー効率



- ✓ 期待通りの高いトリガー効率 (~97 %)
- ✓ 実機とシミュレーターが高い精度で一致
- 局所的なInefficiency → 調査の結果LUTの不具合が疑われ、修正中

無限運動量飛跡を用いた動作検証

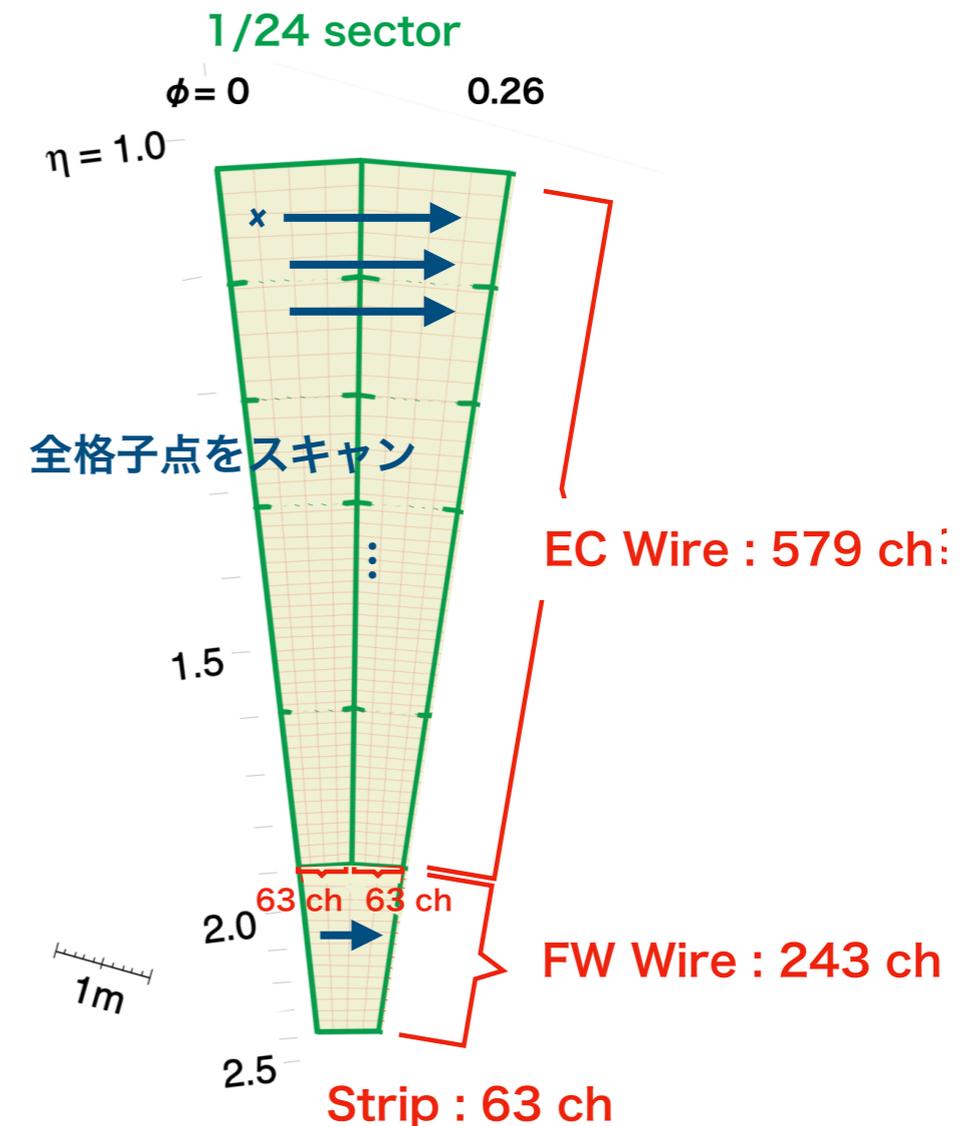
■ 無限運動量飛跡

- 直線飛跡を模した試験用のデータ
- Wire 7層、Strip 6層全てのヒット
- ▶ 100 %再構成されるべきデータセット

■ 網羅的な検証

- ワイヤー・ストリップで張られる全ての2次元格子点に対して試験用データを用意
- 各トリガーモジュールの応答を順に確認

-> 論理回路実装におけるミスを洗い出す



Endcap : $579 \times 63 = 36,477$ 点

Forward : $243 \times 63 = 15,309$ 点

無限運動量飛跡を用いた動作検証

結果

	SL 実機	シミュレーター
Strip Segment Reconstruction	100%	100%
Wire Segment Reconstruction	99.8%	100%
Wire Strip Coincidence	97.6%	100%

- ✓ Strip の コインシデンスロジックは期待通り実装が完了している
- ✓ 実機の試験システム自体の動作
 - Wire のコインシデンスロジックでは再現性のないInefficiency
 - Wire Strip Coincidenceでは特定のチャンネルに対するInefficiency