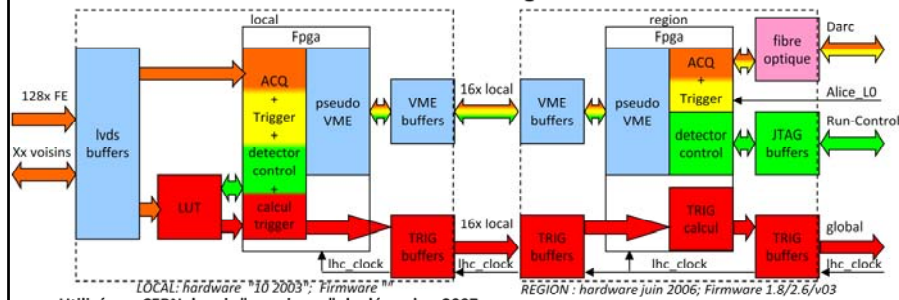


Chaîne d'acquisition dimuon trigger

Châssis régional actuel



• Utilisée au CERN depuis "cosmic run" de décembre 2007

- Événement physique régional : $5 \times 16 \times 6 = 101$ mots; $40 \mu\text{s}$
- Événement software régional : $15 \times 16 \times 51 = 831$ mots; $333 \mu\text{s}$ @ 0.2 Hz
- Configuration par detector control (4 châssis region "daisy" chaînés) : $> 1 \text{ mn}$

28 mars 2013

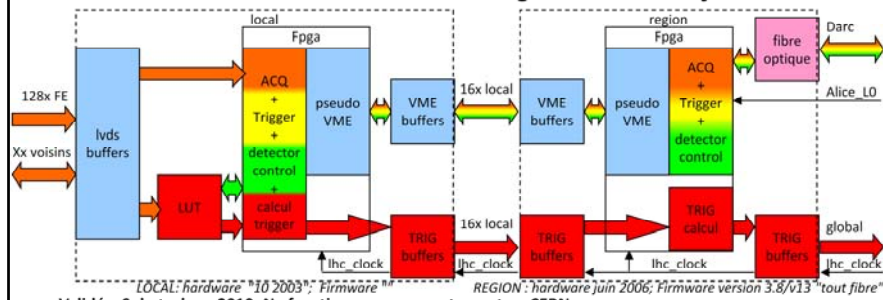
Subatech, IN2P3/CNRS-I'UNAM, Nantes, F44307, France
Ch. Renard, J.-L. Bénéty, Alice-Dimuon-Trigger-Upgrade

Diapo 1

- Trigger L0 par câble coaxial (CTP -> DARC -> Dispatch -> REGION)
- Acquisition par fibre optique (REGION <-> DARC <-> DDL <-> DAQ)
- Detector control par câble en nappe (DCS <-> VME <-> JTAG <-> REGION <-> REGION <-> REGION <-> REGION)
- Lhc_clock par câble coaxial (CTP -> DARC_right -> GLOBAL -> Dispatch -> REGION)
- Liaison LOCAL (DAQ et detector control) par pseudo-VME (LOCAL <-> BackPlane <-> REGION)
- Liaison LOCAL (calcul Trigger) par fond de panier spécifique (LOCAL -> BackPlane -> REGION)
- Liaison GLOBAL (calcul Trigger) par câble paires torsadées (REGION -> GLOBAL)

Chaîne d'acquisition dimuon trigger

Test châssis régional "tout fibre"



• Validé a Subatech en 2010. Ne fonctionne pas correctement au CERN

- Événement physique regional : $5+16 \times 6=101$ mots; $40\mu s$
- Événement software regional : $15+16 \times 51=831$ mots; $333\mu s @ 0.2Hz$
- Configuration par detector control (châssis indépendants) : $<10s$

28 mars 2013

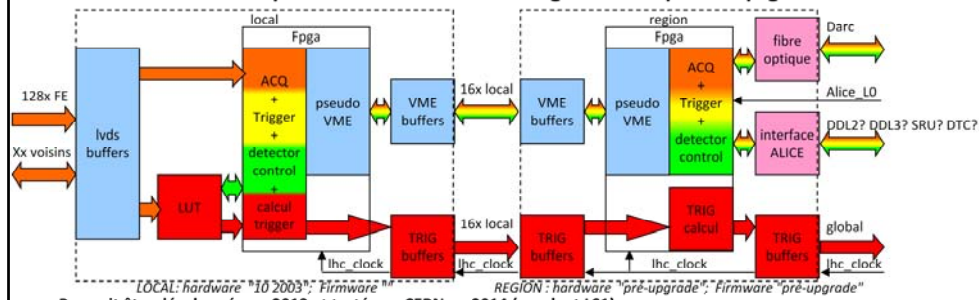
Subatech, IN2P3/CNRS-I'UNAM, Nantes, F44307, France
Ch. Renard, J.-L. Bénéty, Alice-Dimuon-Trigger-Upgrade

Diapo 2

- Trigger L0 par câble coaxial (CTP -> DARC -> Dispatch -> REGION)
- Acquisition par fibre optique (REGION <-> DARC <-> DDL <-> DAQ)
- Detector control par fibre optique (DCS <-> VME <-> DARC <-> REGION)
- Lhc_clock par câble coaxial (CTP -> DARC_right -> GLOBAL -> Dispatch -> REGION)
- Liaison LOCAL (DAQ et detector control) par pseudo-VME (LOCAL <-> BackPlane <-> REGION)
- Liaison LOCAL (calcul Trigger) par fond de panier spécifique (LOCAL -> BackPlane -> REGION)
- Liaison GLOBAL (calcul Trigger) par câble paires torsadées (REGION -> GLOBAL)

Chaîne d'acquisition dimuon trigger

Proposition châssis régional "pré-upgrade"



• Pourrait être développée en 2013 et testée au CERN en 2014 (pendant LS1)

- Événement physique régional : $5+16 \times 6 = 101$ mots; $40\mu s$
- Événement software régional : $15+16 \times 51 = 831$ mots; $333\mu s @ 0.2Hz$
- Configuration par detector control (châssis indépendants) : $< 10s$

- Reprend toutes les fonctionnalités de la version "tout-fibre" mais avec nouveau FPGA plus gros.
- Comporte une interface série rapide type "ALICE" pour s'entraîner au labo.
 - choisir l'interface qui sera utilisée pour la liaison entre nouvelles locales et nouvelles cartes regionales

28 mars 2013

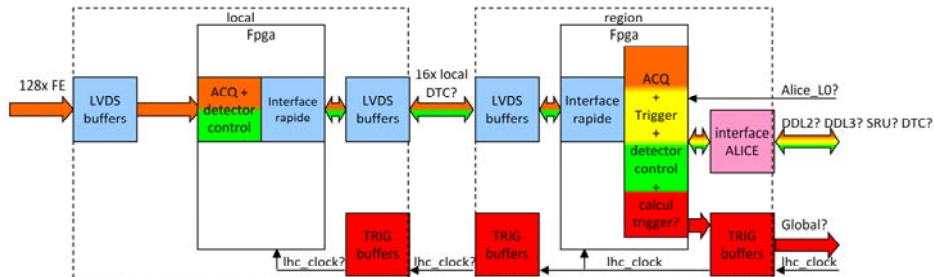
Subatech, IN2P3/CNRS-I'UNAM, Nantes, F44307, France
Ch. Renard, J.-L. Bénéty, Alice-Dimuon-Trigger-Upgrade

Diapo 3

- Trigger L0 par câble coaxial (CTP -> DARC -> Dispatch -> REGION)
- Acquisition par fibre optique (REGION <-> DARC <-> DDL <-> DAQ)
- Detector control par fibre optique (DCS <-> VME <-> DARC <-> REGION)
- Lhc_clock par câble coaxial (CTP -> DARC_right -> GLOBAL -> Dispatch -> REGION)
- Liaison LOCAL (DAQ et detector control) par pseudo-VME (LOCAL <-> BackPlane <-> REGION)
- Liaison LOCAL (calcul Trigger) par fond de panier spécifique (LOCAL -> BackPlane -> REGION)
- Liaison GLOBAL (calcul Trigger) par câble paires torsadées (REGION -> GLOBAL)
- Possibilité de tester une liaison "standard ALICE" (DDL2? DDL3? SRU? DTC?) en prévision de l'upgrade LS2

Chaîne d'acquisition dimuon trigger

Proposition châssis régional "upgrade"



• doit être développé en 2014-15, validé en 2016 et installé au CERN pendant LS2 (2017-18)

- Événement physique regional : 1+8+11=20 mots; 640ns@1Gb/s (213ns@3Gb/s)
- Événement software regional : 1+11+1+16x(4in)=77 mots; 2464ns@1Gb/s (821ns@3Gb/s)
- Configuration par detector control (châssis indépendants) : <1s

28 mars 2013

Subatech, IN2P3/CNRS-I'UNAM, Nantes, F44307, France
Ch. Renard, J.-L. Béneuy, Alice-Dimuon-Trigger-Upgrade

Diapo 4

- Trigger L0 par câble coaxial ? (CTP -> [SRU? ->] REGION) ou par DDL3 ? (CTP -> REGION)
- Acquisition par fibre optique (REGION <-> [SRU? <->] DDL <-> DAQ)
- Detector control par fibre optique (DCS <-> [SRU? <->] REGION)
- Lhc_clock par câble coaxial ? (CTP -> [SRU? <->] REGION) ou par DDL3 ? (CTP -> REGION)
- Liaison LOCAL (DAQ et detector control) par câble coaxial ? (LOCAL <-> câble <-> REGION) ou par fond de panier ? (LOCAL <-> BackPlane <-> REGION)
- Liaison GLOBAL (calcul Trigger) à l'étude mais très probablement supprimée

Chaîne d'acquisition dimuon trigger

Proposition châssis régional "upgrade"

32 bit word Number	Bits	Field Identifier	Origin
1	[31..25]	7 LSBit L0 counter	Local
	[24..16]	9 bit Status	
	[15..0]	Rotating Scaler (1 on 128)	
2	[31..16]	X2 Input	Local
	[15..0]	X1 Input	
3	[31..16]	X4 Input	Local
	[15..0]	X3 Input	
4	[31..16]	Y2 Input	Local
	[15..0]	Y1 Input	
5	[31..16]	Y4 Input	Local
	[15..0]	Y3 Input	

Table/Diagram 1: Local Board Raw Data Structure @ L0

minimum Local -> Regional data link rate = $5 \times 32 \text{ bits} \times 100 \text{ kHz} = 16 \text{ Mbit/s}$.

Local dead time @100Mb/s: $5 \times 32 \text{ bits} \times 10\text{ns} = 1.6\mu\text{s}$ (=64 bunch)

Local dead time @1Gb/s (ALICE-DTC link): $5 \times 32 \text{ bits} \times 1\text{ns} = 160\text{ns}$ (<7 bunch)

28 mars 2013

Subatech, IN2P3/CNRS-I'UNAM, Nantes, F44307, France
Ch. Renard, J.-L. Bénéty, Alice-Dimuon-Trigger-Upgrade

Diapo 5

Cas 1 : L0 propagé jusqu'à LOCAL
Données entre LOCAL et REGION

Chaîne d'acquisition dimuon trigger

Proposition châssis régional "upgrade"

32 bit word Number	Bits	Field Identifier	Origin
1	[31..16]	X2 Input	Local
	[15..0]	X1 Input	
2	[31..16]	X4 Input	Local
	[15..0]	X3 Input	
3	[31..16]	Y2 Input	Local
	[15..0]	Y1 Input	
4	[31..16]	Y4 Input	Local
	[15..0]	Y3 Input	

Table/Diagram 2: Local Board Raw Data Structure @ LHC clock

minimum Local -> Regional data link rate = $4 \times 32 \text{ bits} \times 40 \text{ MHz} = 5,12 \text{ Gbit/s}$.

Local dead time: 0 by construction

28 mars 2013

Subatech, IN2P3/CNRS-I'UNAM, Nantes, F44307, France
Ch. Renard, J.-L. Bénéty, Alice-Dimuon-Trigger-Upgrade

Diapo 6

Cas 2 : L0 s'arrête à REGION

Données entre LOCAL et REGION

Chaîne d'acquisition dimuon trigger

Proposition châssis régional "upgrade"

32 bit word Number	Bits	Physic Event Field Identifier	Origin
1	31	Event Type = Physic	Regional
	[30..24]	Status (7 bits)	
	[23..?]]	Software Event Counter	
	[?.?.7]	Physic Event Counter	
	[6..0]	7 LSBit L0 counter = #i	
2	[31..16]	Rotating Scaler #i	Local #0
	[15..0]	Rotating Scaler #i	Local #1
3	[31..16]	Rotating Scaler #i	Local #2
	[15..0]	Rotating Scaler #i	Local #3
4	[31..16]	Rotating Scaler #i	Local #4
	[15..0]	Rotating Scaler #i	Local #5
5	[31..16]	Rotating Scaler #i	Local #6
	[15..0]	Rotating Scaler #i	Local #7
6	[31..16]	Rotating Scaler #i	Local #8
	[15..0]	Rotating Scaler #i	Local #9
7	[31..16]	Rotating Scaler #i	Local #10
	[15..0]	Rotating Scaler #i	Local #11
8	[31..16]	Rotating Scaler #i	Local #12
	[15..0]	Rotating Scaler #i	Local #13
9	[31..16]	Rotating Scaler #i	Local #14
	[15..0]	Rotating Scaler #i	Local #15
10	[31..21]	11 bit Local Input Address #0	Triggered Local Input #0
	[20..10]	11 bit Local Input Address #1	Triggered Local Input #1
	[9..0]	to	to
to	to	to	to
20	[31..22]	to	to
	[21..11]	11 bit Local Input Address #30	Triggered Local Input #30
	[10..0]	11 bit Local Input Address #31	Triggered Local Input #31

Table/Diagram 3: Regional Board Data Structure : Physic Event @ L0 with 32 Local Input Addresses

Minimum Regional -> SRU data link rate = $20 \times 32 \text{ bits} \times 100 \text{ kHz} = 64 \text{ Mbit/s}$ (fits in ALICE-DTC link)

minimum SRU -> LDC data link rate = $16 \times 64 \text{ Mbit/s} = 1,024 \text{ Gbit/s}$ (fits in ALICE-DDL3 link).

28 mars 2013

Subatech, IN2P3/CNRS-I'UNAM, Nantes, F44307, France
Ch. Renard, J.-L. Bénéty, Alice-Dimuon-Trigger-Upgrade

Diapo 7

Données entre REGION et SRU pour trigger "physique" avec suppression de zero

Chaîne d'acquisition dimuon trigger

Proposition châssis régional "upgrade"

32 bit word Number	Bits	Software Event Field Identifier	Origin
1	31	Event Type - Physics	Regional
	[30, 34]	Stratum ID bits	
	[23, 7]	Software Event Counter	
	[7, 7]	Physics Event Counter	
	[6, 0]	715Bit L0 counter - r1	
2	[13, 16]	Rotating Scaler r1	Local #0
	[15, 0]	Rotating Scaler r1	Local #1
3	[13, 16]	Rotating Scaler r1	Local #2
	[15, 0]	Rotating Scaler r1	Local #3
4	[13, 16]	Rotating Scaler r1	Local #4
	[15, 0]	Rotating Scaler r1	Local #5
5	[13, 16]	Rotating Scaler r1	Local #6
	[15, 0]	Rotating Scaler r1	Local #7
6	[13, 16]	Rotating Scaler r1	Local #8
	[15, 0]	Rotating Scaler r1	Local #9
7	[13, 16]	Rotating Scaler r1	Local #10
	[15, 0]	Rotating Scaler r1	Local #11
8	[13, 16]	Rotating Scaler r1	Local #12
	[15, 0]	Rotating Scaler r1	Local #13
9	[13, 16]	Rotating Scaler r1	Local #14
	[15, 0]	Rotating Scaler r1	Local #15
10	[13, 13]	Status (D9 bits)	Regional
	[12, 2]	Temperature version	
	[8, 4]	Board Identifier	
	[1, 0]	Core Identifier	
	[13, 16]	V1 Input	
11	[15, 0]	V1 Input	Local Board #0
	[13, 16]	V4 Input	Local Board #0
12	[15, 0]	V3 Input	Local Board #0
	[13, 16]	V2 Input	Local Board #0
13	[15, 0]	V1 Input	Local Board #0
	[13, 16]	V4 Input	Local Board #0
14	[15, 0]	V3 Input	Local Board #0
	[13, 16]	V2 Input	Local Board #15
71	[15, 0]	V1 Input	Local Board #15
	[13, 16]	V4 Input	Local Board #15
72	[15, 0]	V3 Input	Local Board #15
	[13, 16]	V2 Input	Local Board #15
73	[15, 0]	V1 Input	Local Board #15
	[13, 16]	V4 Input	Local Board #15
74	[15, 0]	V3 Input	Local Board #15
	[13, 16]	V2 Input	Local Board #15

Table/Diagram 4: Regional Board Data Structure : Software Event @ L0

Minimum Regional -> SRU data link rate = $74 \times 32 \text{ bits} \times 100 \text{ kHz} = 236,8 \text{ Mbit/s}$ (fits in ALICE-DTC link)

minimum SRU -> LDC data link rate = $16 \times 236,8 \text{ Mbit/s} = 3,788 \text{ Gbit/s}$ (fits in ALICE-DDL3 link).

28 mars 2013

Subatech, IN2P3/CNRS-I'UNAM, Nantes, F44307, France
Ch. Renard, J.-L. Bénéty, Alice-Dimuon-Trigger-Upgrade

Diapo 8

Données entre REGION et SRU pour trigger "software"

Alice-dimuon-upgrade

Conclusions

- Besoins techniques :
 - L0 physique à 100kHz (pas de L1 ni L2) => données pour trajectographie et post calcul trigger
 - Compteurs "entrées" (scalaires) : mots de 16?bits => détection voies bruyantes
 - L0 "prépulse" à xxHz (pas de L1 ni L2) => détection voies mortes, calibration
 - L0 software à yyHz (pas de L1 ni L2) => SOR, EOR, autre ?
 - conserver les 16 châssis VME-9U (mécanique + alim)
- Implémentations techniques étudiées :
 - Suppression de zéro : inefficace dans LOCAL car une trace touche au moins une voie par plan (x8 plans). Pourrait être efficace dans REGION. Tout allumé quand prépulse.
 - Utilisation lien standard ALICE (DTC) entre LOCAL et REGION
 - Quelques "scalaires" d'entrée locale à chaque événement physique pour limiter le besoin d'utiliser les triggers software.
- Investigations:
 - débit utile des liens rapides du CERN (DTC et DDL3).
 - possibilité d'utiliser des cartes FEC (LOCAL et/ou REGION)
 - possibilité d'utiliser des cartes SRU (REGION et/ou Readout)

28 mars 2013

Subatech, IN2P3/CNRS-I'UNAM, Nantes, F44307, France
Ch. Renard, J.-L. Bénéty, Alice-Dimuon-Trigger-Upgrade

9

- CARTE LOCAL

- Vérifier nombre d'entrées LVDS de carte FEC (il en faut 128 pour remplacer la carte LOCAL)
- Vérifier débit utile du lien DTC à 1Gbps ($25\text{bit}@40\text{MHz}=10^9\text{bps}$? ou $20\text{bit}@8\text{b}/10\text{b}@40\text{MHz}=10^9\text{bps}$ ou $32\text{bit}@32\text{MHz}=1024\times 10^6\text{bps}$? ou ...)
- Etudier possibilité d'implémenter un lien standard ALICE-DTC dans un FPGA Altera
- Etudier possibilité d'utiliser/implémenter un lien standard ALICE plus rapide que $5.12\times 10^9\text{bps}$ (DDL3 ?) dans un FPGA Altera

- CARTE REGION

- Etudier possibilité d'utiliser carte FEC pour remplacer carte REGION
- Etudier possibilité d'utiliser carte SRU pour remplacer carte REGION
- Etudier possibilité d'implémenter 16 liens standard ALICE-DTC dans un FPGA Altera
- Etudier possibilité d'utiliser/implémenter 16 liens standard ALICE plus rapides que $5.12\times 10^9\text{bps}$ (DDL3 ?) dans un FPGA Altera

- CARTE READOUT

- Etudier possibilité/avantages/inconvénients de connecter directement les 16 cartes REGION vers DAQ/DCS/TRIGGER
- Etudier possibilité/avantages/inconvénients d'utiliser une carte SRU pour remplacer les deux cartes READOUT (16 REGION vers 1 SRU)
- Etudier possibilité/avantages/inconvénients d'utiliser deux cartes SRU pour remplacer les deux cartes READOUT (8 REGION vers 1 SRU)