



Hazai és CERN-es DAQ fejlesztések

ALICE Budapest csoport

Részvevők:

Rubin György

Kiss Tivadar

Dénes Ervin

Tölyhi Tamás

Dénes Ervin

MTA Wigner FK, RMI

Szakmai körkép a 90-es évek elején

- A 90-es évek elején a számítastechnika alapvető alrendszerei közül (processzor, memória, adatátvitel) az adatátviteli rendszerek okozták a szűk keresztmetszetet a teljesítőképesség növelésében.
- A PC-k alapvető I/O interfeszei (soros, párhuzamos, Ethernet)
- A számítógépekben alkalmazott belső párhuzamos buszok
- A nagyteljesítményű számítógépek I/O rendszerei (DEC/SBI, IBM/ESCON, etc.)
- A lokális hálózatok (Ethernet)
- Nyilvánvalóvá vált, hogy paradigmaváltásra van szükség:
 - A legdöntőbb lépés a Fiber Channel (FC) szabvány publikálása volt (draft -1988, approved – 1994).
 - A FC új szabványok alapját képezve megváltoztatta az adatátviteli szabványok széles köret.
- A CERN hasonló problémák előtt állt, mivel az LHC project egyik legnagyobb technikai kihívásának a detektorok és a számítóközpont közötti hatalmas tömegű adat átvitele látszott.

Fibre Channel (Összehasonlítás)

- Párhuzamos adatátviteli rendszerek főbb elvei és tulajdonságai:
 - Nagy számú párhuzamos adatvonal (8 - 128) és kontroll vonal (~10) órajellel mintavételezve
 - Max. távolság ~25 m, max. sebesség ~ 1600 Mbit/s
- Fibre Channel (soros) adatátviteli rendszer főbb elvei és tulajdonságai:
 - Egyetlen egy vonal az adat, a kontroll valamint a mintavételi órajelátvitelére a 8B/10B kódolás alkalmazásával
 - Max. távolság néhányszor 10 km, max. sebesség 10 Gbit/s
- A párhuzamos adatátviteli rendszerek főbb problémái és megoldásuk a FC szabványban:
 - timing skew (jel csúszás a vonalak között)
 - áthallás a vonalak között
 - elektromágneses interferencia
 - nagy számú busz vonal és a hozzájuk tartozó adó-vevők
 - nagy elektromos fogyasztás

Fibre Channel szabvány

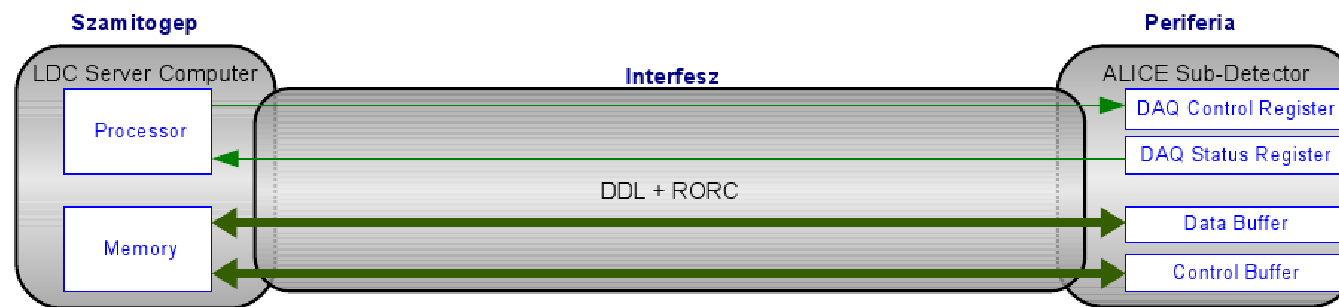
- A DDL kidolgozasában Fibre Channel (FC) szabványnak csak also 3 szintje (FC0 – FC2) játszott szerepet.
- **FC0** szint definiálja a vonal ado-vevoket, a csatlakozokat es a kabeleket.
- **FC1** szint a 8B/10B kodolast alkalmazza, amely nagyban hozzájárult a FC szabvány sikerehez. A kodolas a 8 bites adat bajtokat 10 bites szimbolumokra konvertalja. Ez 20 %-os adatviteli tobblet igenyt jelent, de a kodolas elonyei ezt jelentosen ellentetelezik:
 - Maximalis '1' – '0' szint atmenetre optimalizalt es azonos szamu '1' es '0' szinetet lehetove tevo jelsorozatot general.
 - Specialis szimbolumokat definiat.
 - Adatviteli hiba diagnosztikat biztosit.
- **FC2** szint definiatja halozati protokolt:
 - Az adatviteli szavakat es atviteli sorrendjuket
 - A specialis vezerlo es menedzselo bajt kombinaciokat
 - Az adatcsomagolas framing) szabalyait

DDL - Rendszerkövetelmények

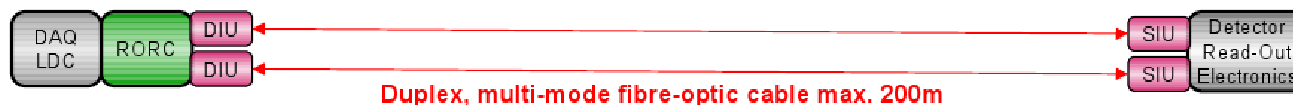
- Szimultán, kétirányú adattömb és vezérlő információ átvitelének biztosítása az ALICE detektor és az adatgyűjtő rendszer, valamint az adatgyűjtő rendszer és a felső szintű trigger rendszer között
- Adatátviteli sebesség vonalanként: ≥ 2 Gbps
- Adatátvitel távolsága: ≥ 200 m
- Adatbit hibázási arány (BER): $\leq 10^{-12}$
- Fel nem derített adatátviteli hibák valószínűsége: $\leq 10^{-15}$
- Azonos (ALICE szabvány) detektor oldali interfész a különböző aldetektorok számára
- Ipari szabványnak megfelelő interfész az adatgyűjtő és a trigger rendszereknél
- Sugárzásálló kivitel a detektor oldalon

DDL - Architektúra

- Az adatgyűjtő rendszer **“kozonseges”** számítógép periferiáként kezeli az egyes aldetektorokat. Ebben a működési modelben DDL + RORC tölti be a számítógép interfész szerepét.

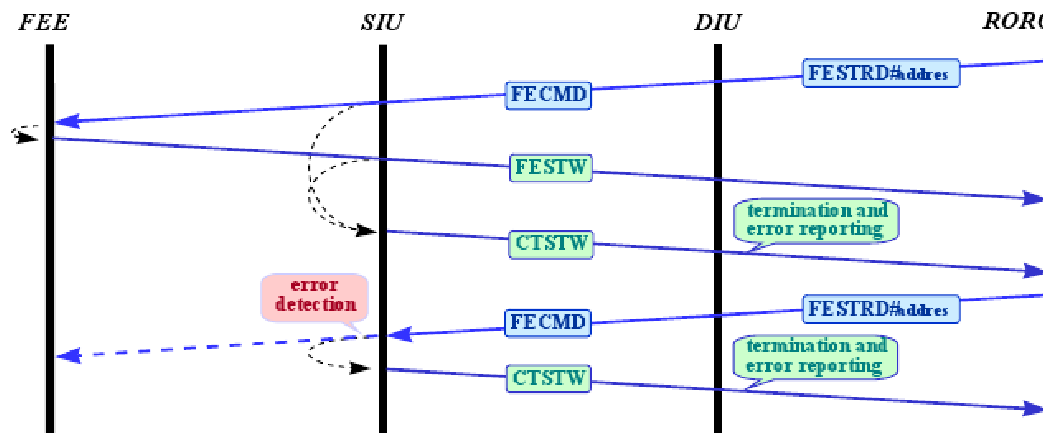


- Az adatviteli rendszer elemei:
 - Kiolvasó elektronika (Read-Out Receiver CARD – RORC)
 - Soros adatviteli vonal (Detector Data Data Link – DDL) részegységei:
 - DAQ oldali interfész (Destination Interface Unit – DIU)
 - detektor oldali interfész (Source Interface Unit – SIU)
 - duplex, multi-modusu optikai kábel



Protokoll (elemi transzakció)

Statusz szo kiolvasasa a Front-end elektronikabol a LDC szerverbe



Mozaik szavak:

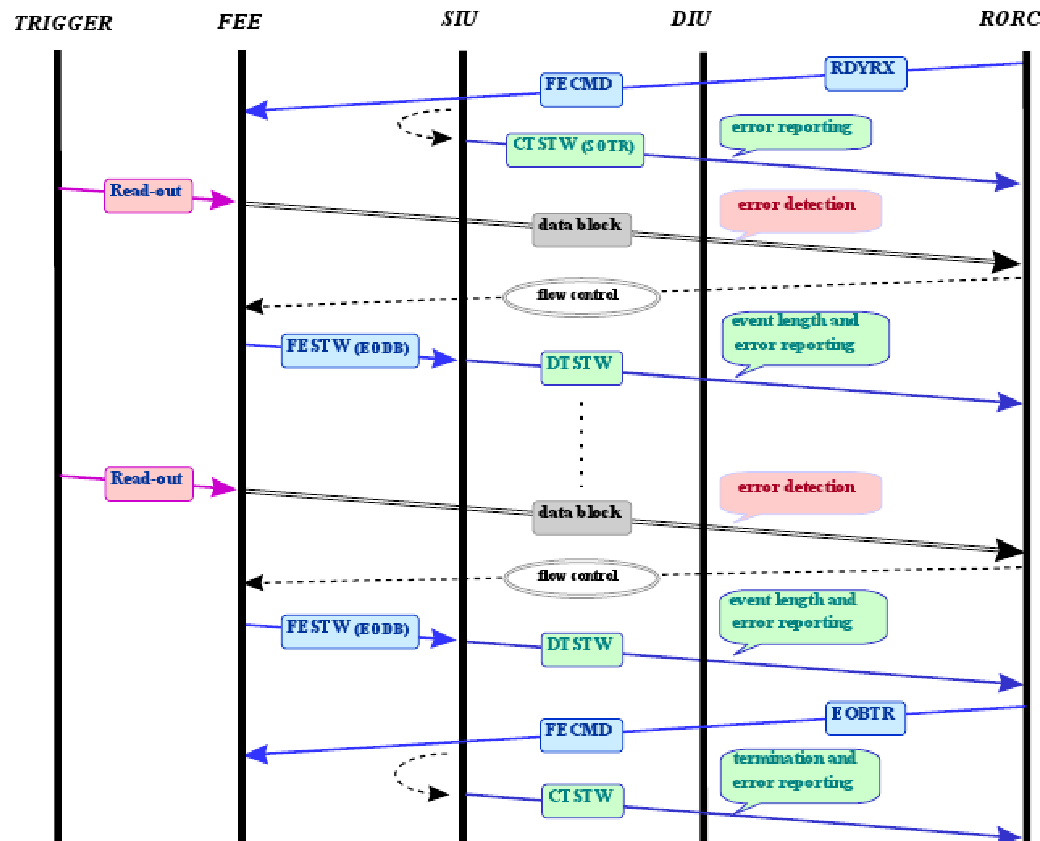
FECMD
Front-end kontroll szo

CTSTW
Front-end kontroll szo atvitel
statusza

FESTW
Front-end statusz szo

Protokoll (összetett tranzakció)

Esemény adatvitel a Front-end elektronikából az LDC-be



Mozaik szavak:

RDYRX
Az LDC szerver kész esemény adatokat fogadni

FECMD
Front-end kontroll szó

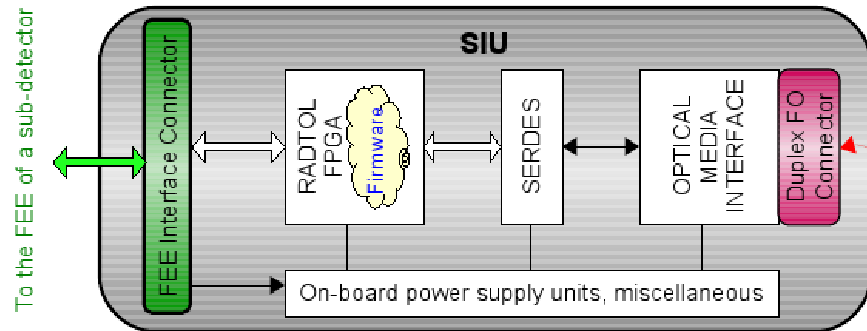
CTSTW
Front-end kontroll szó atvitel statusza

DTSTW
Adatvitel statusza (esemény vege)

FESTW
Front-end statusz szó

EOBTR
Adatblokk atvitel vege

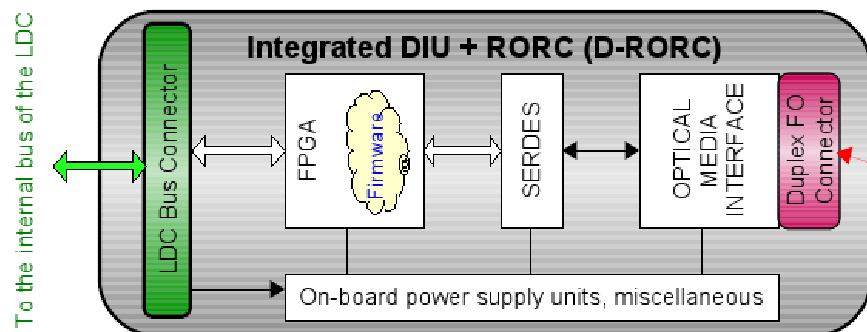
DDL - Hardver



A RADTOL FPGA **főmverében** megvalósított egységek:

- DDL kodolási és protokoll szintjei
- Front-en elektronika interterfese

Duplex multi-mode FO cable



A DDL fizikai szintjét megvalósító egységek:

- SERDES – soros/parhuzamos konverter
- Optikai media interfész
- Duplex multi-modusu szaloptikai kábel

A FPGA **főmverében** megvalósított egységek:

- DDL kodolási és protokoll szintjei
- RORC logika és átmeneti tároló
- Interfész a LDC szerver belső buszához

DDL - Szoftver

- Szintek

A piros modulokat
az RMKI fejlesztette

Utility és teszt programok	DATE (ALICE adatgyujto szoftver)
API könyvtár	
RORC és Phymem drivers	

- Mukodesi elv

- A **RORC driver** elérhetővé teszi a felhasználó számára a RORC regisztereket.
- A **Phymem driver** egy folytonos memória területet biztosít blokkos adatátvitel számára. Az adatmozgató DMA-val és program megszakítás nélkül (interrupt) történik.
- Az **API könyvtár** a DDL és a RORC elemi szintű vezérlésre tartalmaz rutinokat (pl. DMA indítása, esemény adatgyűjtési pointerek beállítása, formver verzió kiolvasása stb.).
- A **Utility programok** segítségével az API könyvtár rutinjait felhasználva tranzakciókat lehet végrehajtani (pl. front-end kontroll, esemény gyűjtés, rendszer onteszt, stb.).

DDL SW - Működési elv

- RORC driver egy kernel modul, mely „lemeppeli” felhasználónak a RORC regisztereket.
- Phymem driver biztosít egy folytonos memória területet, amely elérhető mind a kernel, mind a user területről.
- A DDL a RORC regiszterein keresztül vezérelhető. Erre a célra tervezett FIFO (u.n. Read FIFO) feltölthető a memóriablokkok címével és hosszával, ahova/ahonnan az adat töltendő. Szintén megadható, hogy mely memóriacímre kerüljön a tranzakció végrehajtását jelző flag (Ready FIFO).
- Az adatmozgatás a memória és a SIU között a CPU beavatkozása nélkül történik (DMA). A végrehajtáskor nem történik interrupt. A user a dinamikus memóriában ellenőrizheti, hogy adat érkezett-e. Ehhez nem szükséges PCI tranzakció, azaz ez nem zavarja az adatgyűjtést.



DDL

Animáció RORC data flow



ALICE

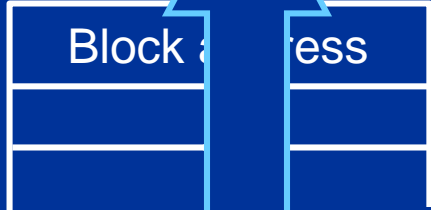
PCI-RORC



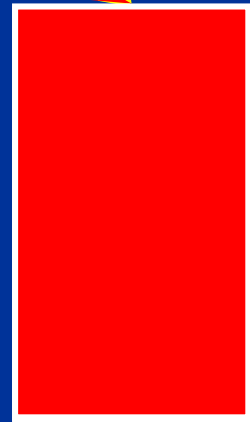
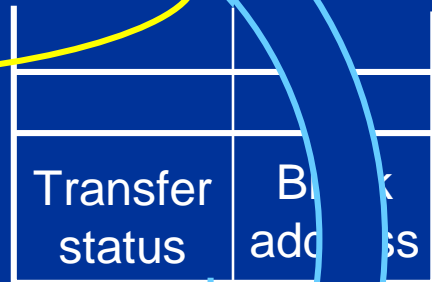
Firmware

PC memory bank

Free FIFO

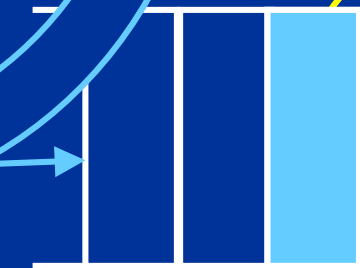


Ready FIFO



PC software

DATE software



readout FIFO

Event Builder

Sugárzásállóság

- A SIU a detektor belsejében helyezkedik el, így sugárzásnak van kitéve. A 10 éves sugárzás értékeket szimulációval határoztak meg:
 - Max. 5 krad TID
 - 4×10^{11} neutron per cm^2 (1 MeV neutron ekvivalens)
- Sugárzásállósági tesztekét hajtottunk végre az alkatrészek és a teljes SIU kártya tesztelésére:
 - TID mérés gamma besugárzás (ATOMKI)
 - 5 – 15 MeV neutron besugárzás (ATOMKI)
 - 50 – 150 MeV proton besugárzás (TSL, Svédország)
- Az alkatrészek közül egyedül a FPGA nem teljesítette a sugárzásállósági követelményeket. A SEU jelenség a következő problémákat okozta:
 - Formver sérülés
 - Adat sérülés
- A problémák megoldása:
 - A formver sérülések kiküszöbölésére sugárzástűrő FPGA-t alkalmaztunk.
 - Az adatserülések kiküszöbölésére formver változtatásokat hajtottunk végre.

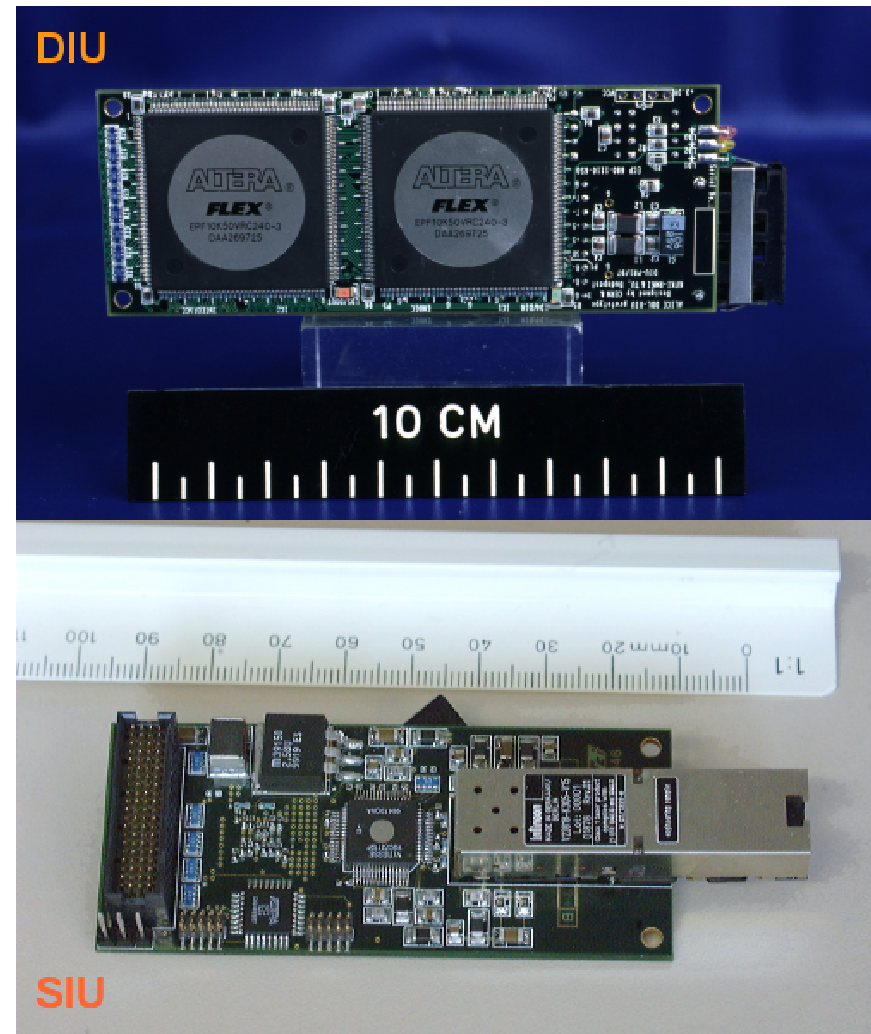
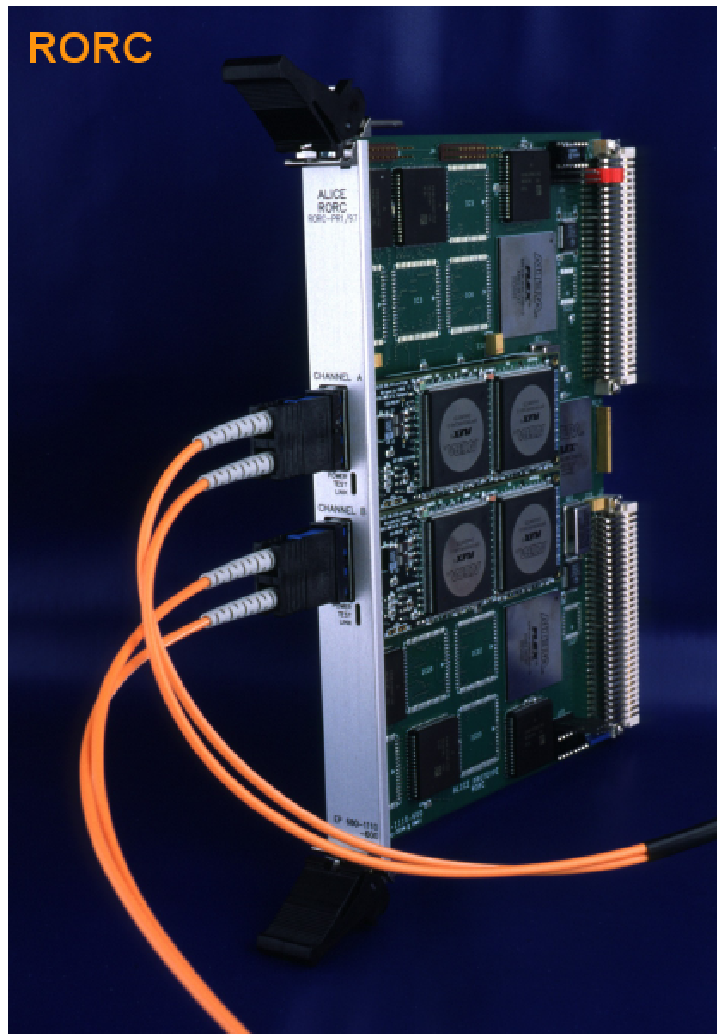
Radtol tesztek

- A SIU alkatrészek és maga a SIU kártya radtol tesztjei a CERN, RMKI, Atomki és stockholmi Royal Institute of Technology együttműködésben, 2004 és 2008 között a debreceni Atomki-ban (gamma és neutron) és az uppsalai TSL-ben (proton) történtek.
- A Monte-Carlo szimuláció alapján számolt követelmények a következő fólián láthatók.
- Altera Cyclone, Xilinx Virtex II és Actel proAsic típusú FPGA-kat teszteltünk le. A tesztek eredménye alapján döntöttünk az Actel flash alapú eszköze mellett.
- Memória teszt: adott bitmintával (2048*16 bit) ciklikusan feltöltve és kiolvasva a memória, és az eredetivel összehasonlítva
- Regiszter teszt: hosszú shiftregiszter lánc (128*16 bit), összehasonlítás az eredeti mintával.
- Cél: konfiguráció vesztes ne forduljon elő, adathiba detektálható legyen (a SIU jelezze).

RadTol követelmények

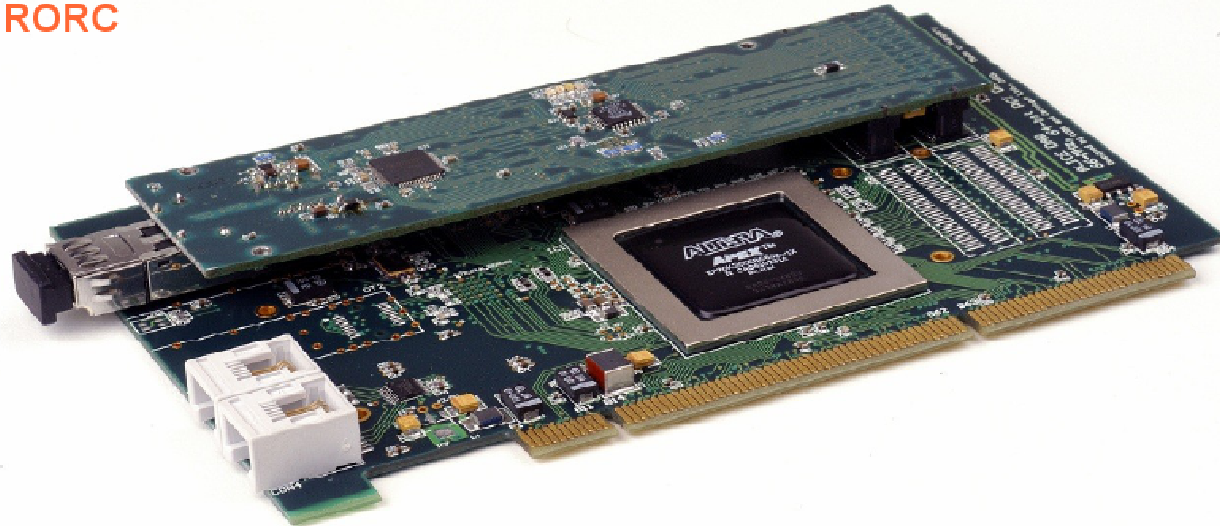
- MC szimulációkból 10 évre meghatározott értékek
- DDL → TPC, $r = 78$ cm:
 - TID: $D = 16$ Gy
 - Neutron fluencia: $F_{\text{neutron}} = 3,9 \cdot 10^{11} \text{ cm}^{-2}$
 - Töltött hadron fluencia: $F_{\text{ch.hadr.}} = 8,0 \cdot 10^9 \text{ cm}^{-2}$
- Pb-Pb során:
 - Neutronfluxus: $\Phi_{\text{neutron}} = 4,6 \cdot 10^{12} \text{ n/cm}^2\text{s}$
 - Töltött hadron fluxus: $\Phi_{\text{neutron}} = 3,3 \cdot 10^{12} \text{ tölt. hadr./cm}^2\text{s}$

Első prototípus (VME)

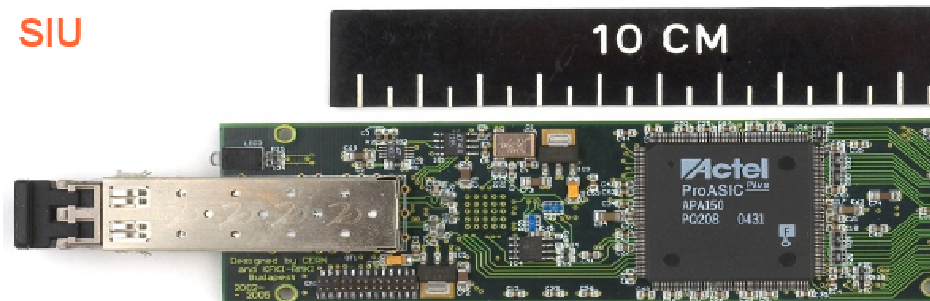


Második prototípus (PCI, plugged DIU)

RORC

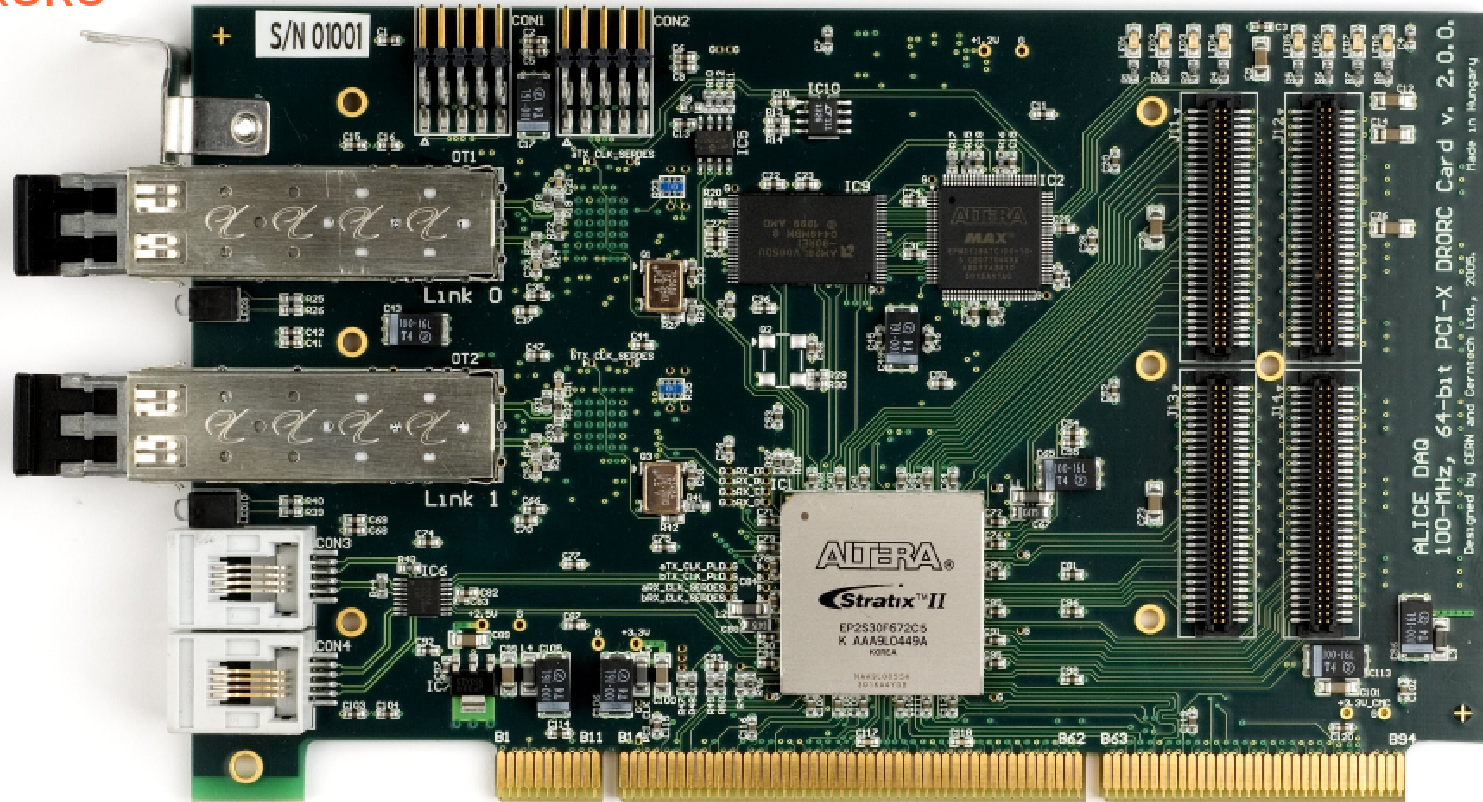


SIU

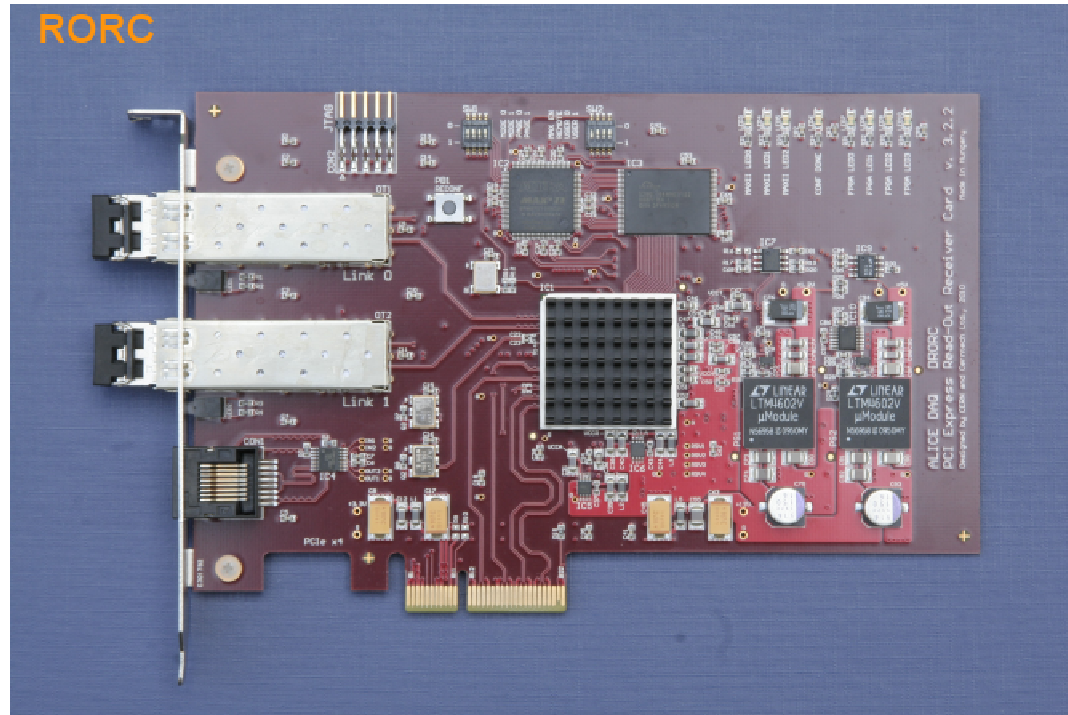


Harmadik prototípus (PCI-X)

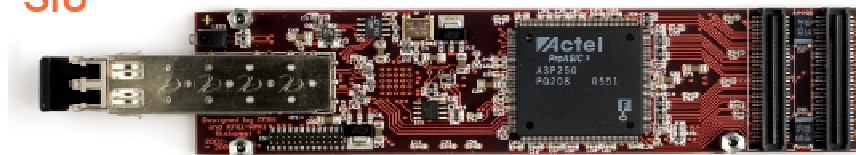
RORC



Mai verzió (PCI-express)



SIU





ALICE

JOURNEY OF DISCOVERY

ALICE sub-detectors

DDL in ALICE DAQ



487 DDL optical links

Source Interface Units (SIU cards)

Duplex, multimode optical fibers max. 200m

Destination Interface Units (later integrated on D-RORCs)

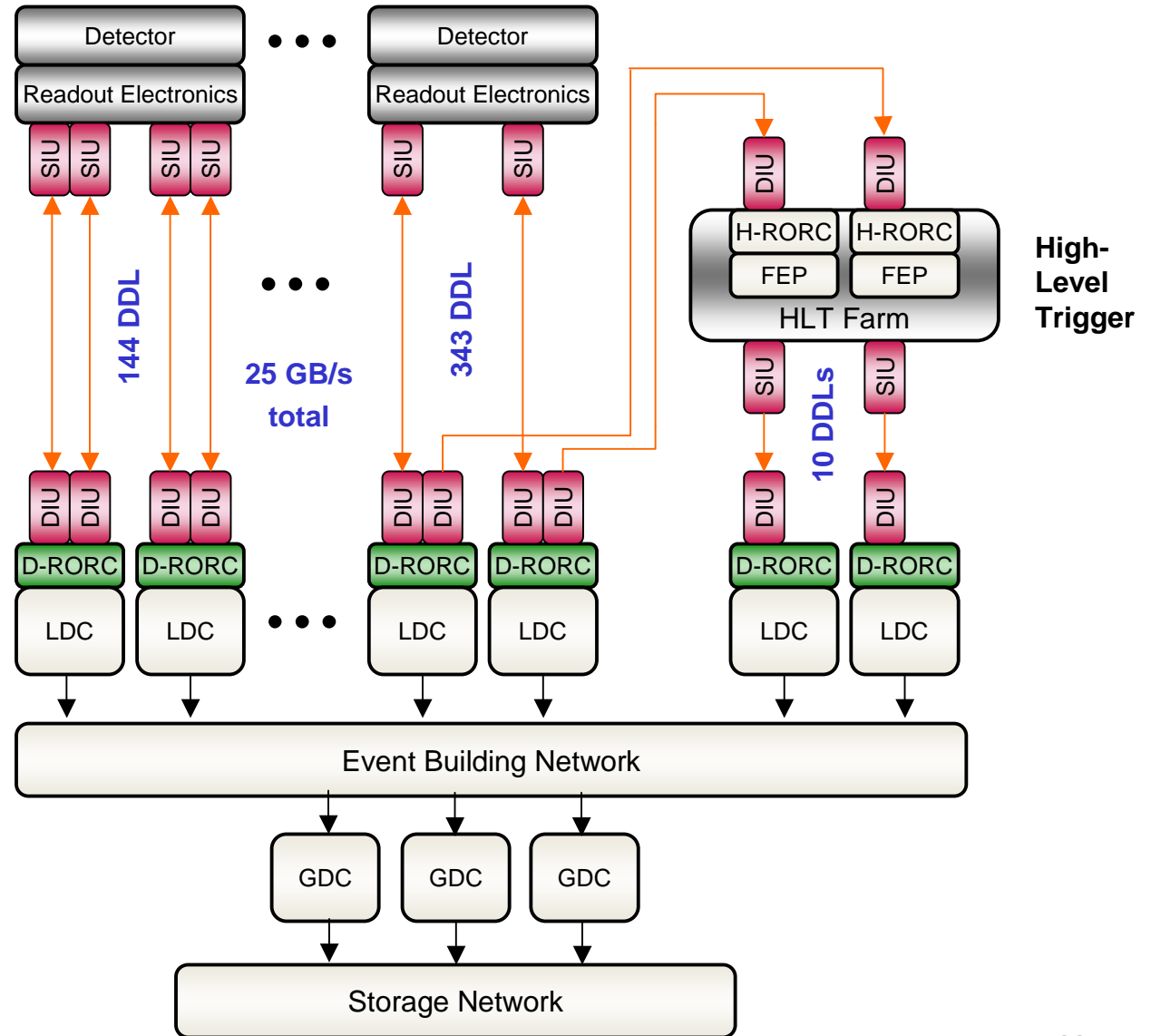
DAQ- Readout Receiver Card

Local Data Concentrators (server computers)

(Gigabit Ethernet switches)

Global Data Collectors (server computers)

(disk farms, tapes)



DDL felhasználók

A Világ három legjelentősebb TPC detektora DDL-t használ:

- ALICE DAQ, CERN: 487 DDL
- SHINE kísérlet (NA61), CERN: 10 DDL (sok helyről keves adat - tomorított és multiplexált adatok)
- STAR detektor, BNL (Brookhaven): 160 DDL

Egyéb alkalmazások:

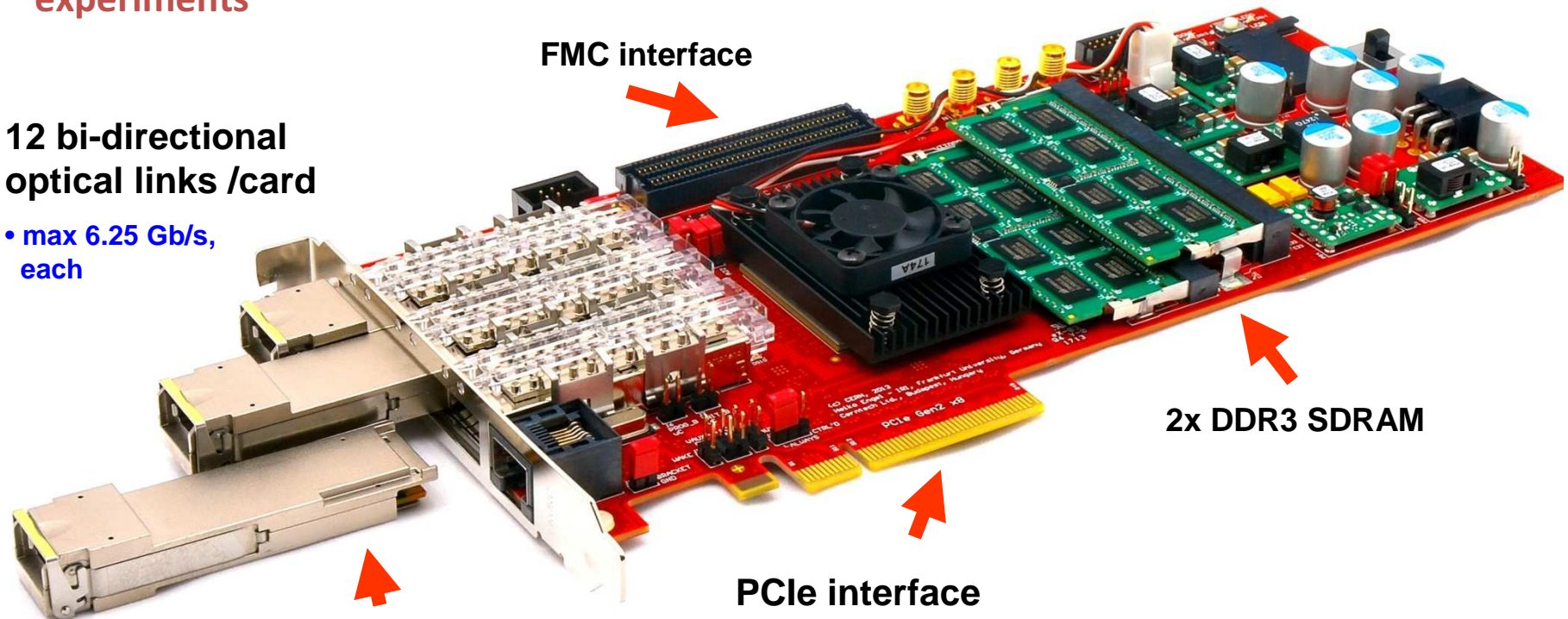
- INFN (Roma, Torino, Bologna), Olaszország
- IN2P3 CRNS (IPN, SUBATECH), Franciaország
- CEA (Saclay), Franciaország
- IRAM (obszervatórium a Pireneusokban), Franciaország, Spanyolország
- NIKHEF (Amsterdam), Hollandia
- Utrecht University, Hollandia
- UC, Lawrence Berkeley Nat. Lab, USA
- Indiana University, USA
- Rice University, USA
- Jefferson Lab., USA
- VECC (Variable energy Cyclotron Center), India

A recent development: the C-RORC

- Originally a „common” (C-) read-out card for the DAQ and HLT in ALICE
- But it also became a common read-out card for ALICE and ATLAS...
- Alltogether 400 cards wil be installed during LS1 for use in Run2 in the two experiments

**12 bi-directional
optical links /card**

- max 6.25 Gb/s,
each



**MPO parallel optical connectors
3x Quad SFP (QSFP) pluggable
optical transceivers**

PCIe interface

- x8, Gen2 PCI Express

2x DDR3 SDRAM

ALICE Upgrade

LS1
(2013-14)

RUN 2

LS2 *
(2016-17)

RUN3

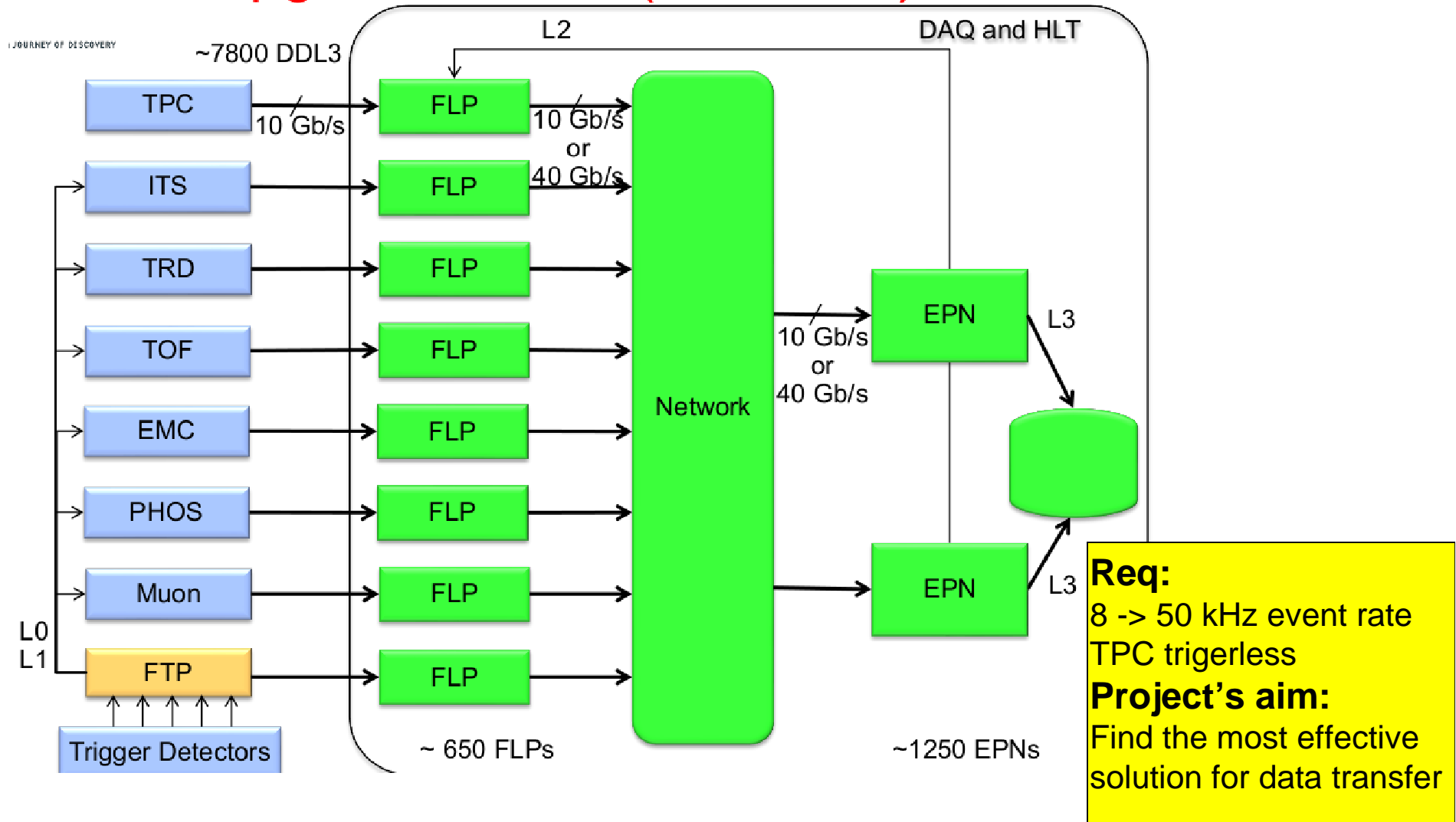
ALICE collaboration plans a major upgrade of the detectors during Long Shutdown 2 (LS2 - 2017)

ALICE Before LS2	ALICE After LS2
$L = 10^{27} \text{ cm}^{-2} \text{ s}^{-1}$	$L = 6 \times 10^{27} \text{ cm}^{-2} \text{ s}^{-1}$
1 nb ⁻¹ Pb Pb Collisions	> 10 nb ⁻¹ of Pb Pb collisions
Collision rate of 8 kHz (PbPb)	Collision rate of 50 kHz (PbPb)
Max Readout rate of present ALICE detector is 500 Hz (PbPb)	Overall goal to readout 50 kHz (PbPb) and 200 kHz (pp and pPb)

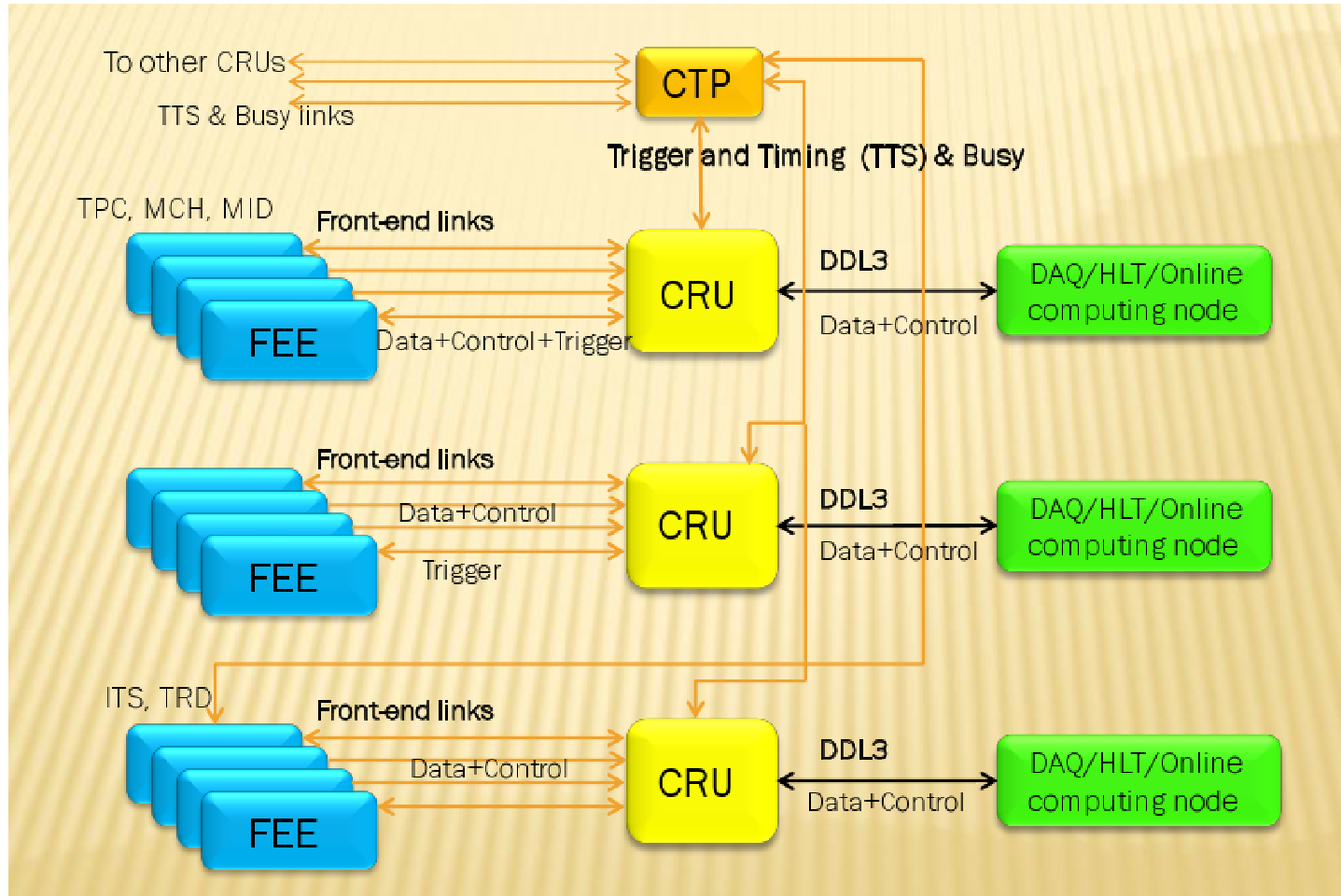
Increased Interaction rate and hence the increased readout rate



Upgrade Online (after LS2)



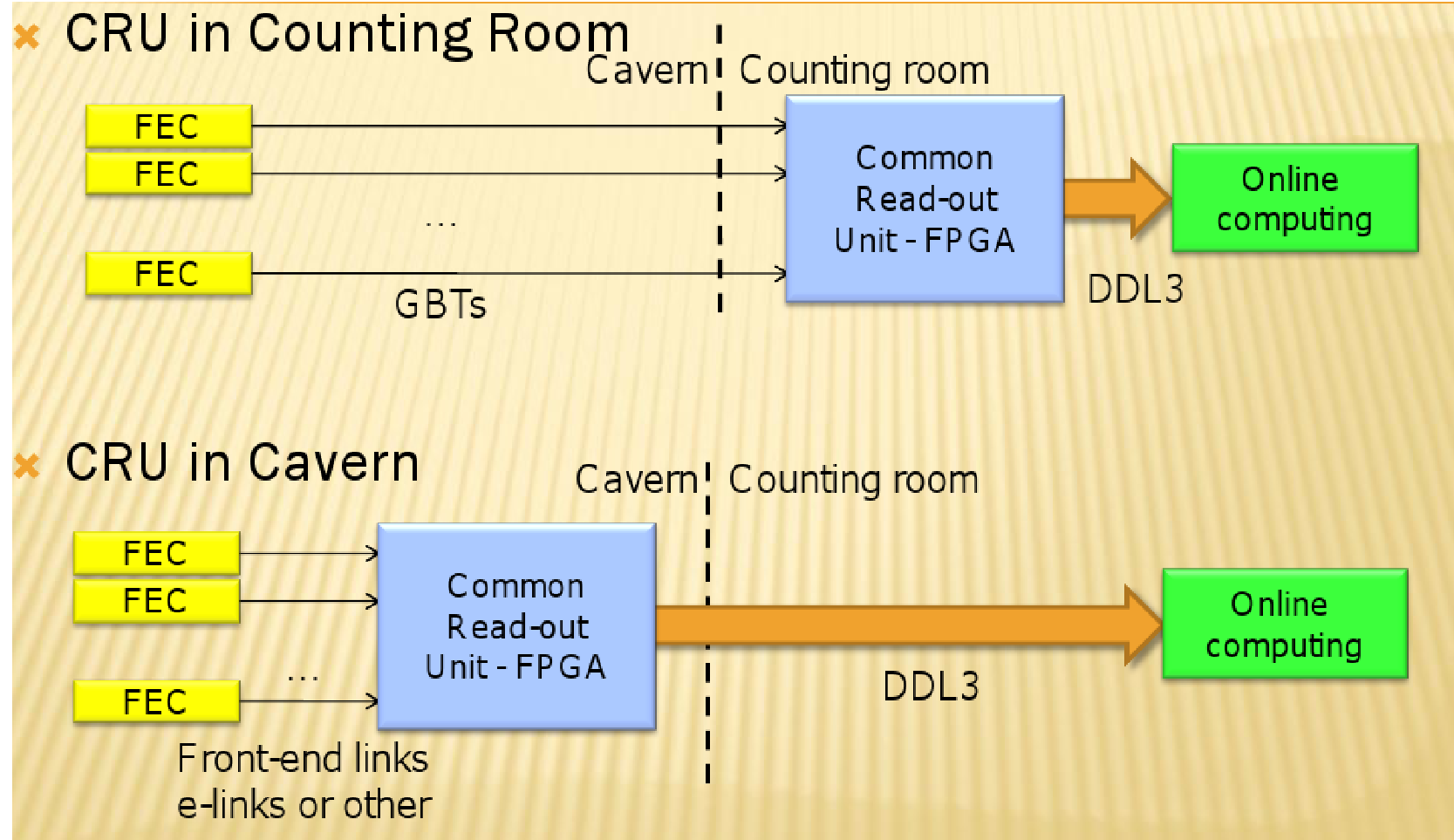
Common Readout Unit



Implementation Planning I.

- ✘ The application specific functionalities e.g. the protocol conversions of the different link types, multiplexing of data flows, embedding detector control and trigger information, etc., require Common Read-out Units be implemented as electronics boards with custom designed, **programmable functionality based** on up-to-date **FPGA technology**
- ✘ Implementation of the Common Read-out Units (CRU) as FPGA boards has **two basic alternatives**, depending on the physical location of the CRUs. (These are the "CRU in Counting Room", or the "CRU in the Cavern", close to the detectors)

Implementation Planning II.



Possible FPGAs

CRU in Counting Room

Xilinx Virtex 7 or Altera Stratix V GX

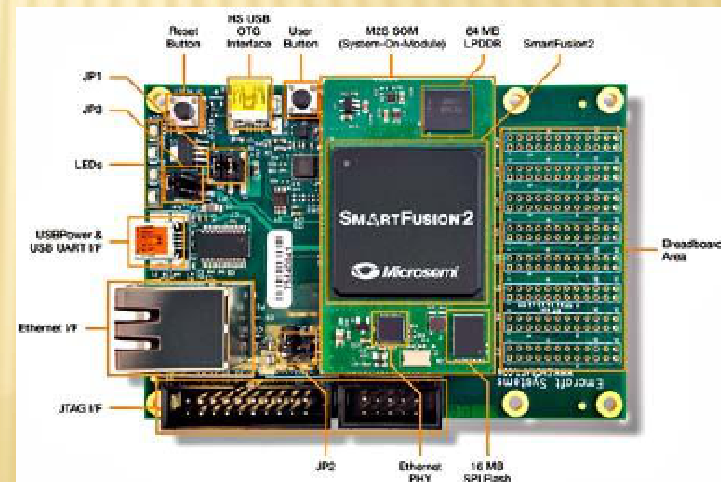
Not radiation Tolerant
SRAM based FPGAs

CRU in Cavern

Microsemi Smart Fusion 2

Radiation Tolerant
Flash memory based FPGA

FPGA development boards



Mire van szükségünk?

- Wigner FK feladata:
 - CRU firmware
- CRU-hoz FPGA programozás
 - ALTERA
 - SmartFusion
 - Xilinx
- DDL2 software karbantartás, upgrade fejlesztés
- DDL3 firmware és software támogatás

Lehetőségek diákok számára

- Diákköri munka
- Diplomaterv
- PhD téma
- CERN nyári diák lehetőség
- CERN technical student

Kapcsolat: denes.ervin@wigner.mta.hu

kiss.tivadar@wigner.mta.hu

levai.peter@wigner.mta.hu



Köszönöm a figyelmet

Reserved slides

Részvevők

- **RMKI:** Csato Peter, Denes Ervin, Kiss Tivadar, Meggyesi Zoltan, Rubin Gyorgy, Sulyan Janos
- **BME:** Eged Bertalan, Kiss Tivadar, Novak Istvan
- **CERN:** Soos Csaba
- **Cerntech Kft.:** Biro Janos, Kiss Tivadar, Kollar Peter, Peter Blanka, Tolyhi Tamas
- **ATOMKI:** Fenyvesi Andras, Molnar Jozsef, Novak Dezso
- **TSL (Upsala):** Kerek Andras
- **Diakok:** Fauszt Akos (diplomamunka), Gerencser Istvan (TDK), Harangozo Gabor (PhD), Hirn Attila (TDK), Tarjan Denes (TDK), Toth Norbet (MSc), ifj. Vesztergombi Gyorgy (nyari gyakorlat), Vissy Balazs (TDK)

Kulcsemberek

- **Feljesztes:**
 - Denes Ervin: projekt vezetes (2001 – 2007), szoftver fejlesztés, rendszer teszt
 - Kiss Tivadar: projekt koordinacio, hardver fejlesztés
 - Rubin Gyorgy: a projekt megszervezése és a partner kapcsolat megteremtése a többi résztvevő intézmennyel, projekt vezetés (1995 – 2000), architektúra és protokoll tervezés, hardver és formver fejlesztés
 - Soos Csaba: hardver és formver fejlesztés
- **Gyártás, fenntartás, szakmai támogatás:**
 - Kiss Tivadar: termékesítés, gyártásszervezés, termék teszt
 - Denes Ervin: szoftver támogatás
- **Hatter támogatás:**
 - Pierre Vande Vyvre (CERN)
 - Vesztergombi Gyorgy

DDL SW - Működési elv II.

- Az API library tartalmazza a RORC vezérléshez szükséges rutinokat. Pl.: Free FIFO feltöltés, adatgyűjtés indítása, leállítása, blokk feltöltés a FEE-be, stb.
- A utility programok segítségével le- és feltölthetünk adatblokkokat, adatgyűjtést végezhetünk, FEE-nek paracsokat adhatunk, státuszukat kiolvashatjuk. Ugyancsak egy utility segítségével távolról frissíthetjük a RORC förmvert is.
- A teszt programokkal ellenőrizhetjük a DDL egységeinek statuszát, végezhetünk különböző szintű loop-back tesztek. A beépített adatgenerátor segítségével lehetséges a RORC 2 csatornája, vagy optikai kábellel összekötött RORC-ok közötti adatcsere tesztelése is. Végül gyártás utáni automatikus tesztek és hosszú idejű „gyötrés” is lehetséges.

Radtól eredmények

- Az Altera APEX E FPGA annyi konfiguráció-sérülést szenved el, hogy az, az ALICE kísérlet kísérletben nem alkalmazható. Az Altera Cyclone típusú FPGA használata esetén lehetséges lenne a konfiguráció-sérülés automatikus észlelése, de az újrakonfigurálás alatt az adott link kiesne.
- A Xilinx Virtex II FPGA a fentiekkel azonos számban szenved el konfiguráció-sérülést. Itt lehetséges periódikus újrakonfigurálás, de ez nem véd a bármikor fellépő újbóli konfiguráció vesztéstől.
- Az Actel ProAsic FPGA-k esetében konfigurációvesztést egyáltalán nem tapasztaltunk.

Memóriateszt eredménye a végleges SIU kártyával

	SIU kártya ACTEL <i>ProASIC3 A3P250</i> FPGA-val
σ_{adathiba} 5-14 MeV-es neutronokra	$(0.4 - 1.0) * 10^{-14} \text{ cm}^2/\text{bit}$
σ_{adathiba} 171-180 MeV-es protonok	$(6 - 7.2) * 10^{-14} \text{ cm}^2/\text{bit}$
Co ⁶⁰ gamma besugárzás	Nincs effektus 100 Gy (10 krad)-ig
Adathibák száma az ALICE kísérlet 10 éve alatt, egyetlen SIU-ban	26 - 70 (n) 4- 10 (p)
Óránkénti adathibák száma, az ALICE kísérlet 400 SIU-jában	0,4 – 1 (n) 0,006 - 0,15 (p)
<i>Detektált hibák aránya az összes adathibához viszonyítva</i>	Gyakorlatilag 100% (> 99 %)



ALICE
JOURNEY OF DISCOVERY



CRU in counting room-Advantages

- ✗ Location of CRU would be in the ground level counting room, thus it is accessible during operation. No additional electronics, cabling, cooling need to be installed and maintained on the detector.
- ✗ The CRU in control room electronics is not subject to radiation, thus state-of-the-art high performance FPGAs can be employed.
- ✗ For the CRU-control room no radiation tests campaign is needed.
- ✗ The GBT links are already qualified by a CERN team, delivered and tested to ALICE.
- ✗ For the CRU-control room the development effort can be shared with other experiments, e.g. with LHCb.

CRU in counting room- Disadvantages

- ✗ For some detectors the increased latency due to the extra propagation time of trigger from the CTP (in the cavern) to the CRU (in the counting room) and back to the detectors (in the cavern) is not acceptable, and the trigger links must arrive directly on the on-detector electronics.
- ✗ For the "CRU in counting room" the number of radiation tolerant optical links (GBTs) are higher compared to "CRU in cavern". This increases the cost,

"but"

the manpower need to develop a radiation tolerant hardware for the "CRU in cavern" + the radiation tests needed + extra installation cost and infrastructure in the cavern, --> it may not be more expensive in total. (Further calculations needed)